

**VŠB – Technická univerzita Ostrava**  
**Fakulta elektrotechniky a informatiky**  
**Katedra elektroniky**

**Laboratorní stanoviště pro předmět**  
**Číslicová a mikroprocesorová technika Bc.**

Laboratory Stand for Subject  
Digital and Microprocessor Technique Bc.



## Zadání bakalářské práce

Student: **Michal Gela**

Studijní program: B2649 Elektrotechnika

Studijní obor: 2602R014 Aplikovaná a komerční elektronika

Téma: Laboratorní stanoviště pro předmět Číslicová a mikroprocesorová  
technika Bc.  
Laboratory Stand for Subject Digital and Microprocessor Technique Bc.

### Zásady pro vypracování:

1. Proveďte výběr a popis vhodných laboratorních úloh a potřebných přípravků pro praktická cvičení ve výuce číslicové a mikroprocesorové techniky.
2. Navrhněte a realizujte laboratorní stanoviště pro oblast laboratorních úloh předmětu Číslicová a mikroprocesorová technika Bc.
3. Ověřte funkci úloh na realizovaném stanovišti a vytvořte průvodní dokumentaci.

### Seznam doporučené odborné literatury:

Antošová, M. - Davídek, V.: Číslicová technika  
Dle pokynů vedoucího bakalářské práce.

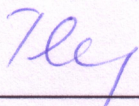
Formální náležitosti a rozsah bakalářské práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.

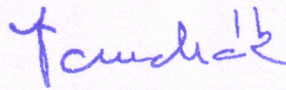
Vedoucí bakalářské práce: **doc. Ing. Petr Palacký, Ph.D.**

Datum zadání: 20.11.2009

Datum odevzdání: 07.05.2010



  
\_\_\_\_\_  
doc. Ing. Petr Palacký, Ph.D.  
vedoucí katedry

  
\_\_\_\_\_  
prof. Ing. Ivo Vondrák, CSc.  
děkan fakulty



## **Poděkování**

Tímto chci poděkovat vedoucímu mé bakalářské práce doc. Ing. Petru Palackému, Ph.D. za cenné rady a podnětné připomínky.

## **Prohlášení**

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

V Ostravě.....

.....  
Michal Gela

## **Abstrakt**

Úkolem mé bakalářské práce bylo navrhnout a realizovat laboratorní stanoviště do cvičení k předmětu Číslicová a mikroprocesorová technika Bc., konkrétně k části, která se zabývá číslicovou technikou. Součástí práce byl také výběr a vytvoření laboratorních úloh, které studentům umožní prohloubit znalosti získané na přednáškách. Úlohy se věnují těmto tématům: základní vlastnosti logických obvodů TTL, návrh kombinačního obvodu, návrh sekvenčního obvodu, čítače impulsů, úprava signálů, monostabilní klopné obvody (MKO), astabilní klopné obvody (AKO), zákmity tlačítka, osmibitový D/A převodník. Náplní této práce bylo i praktické ověření navržených úloh na vytvořeném laboratorním stanovišti a vytvoření průvodní dokumentace. Průvodní dokumentace k laboratorním úlohám je součástí příloh.

## **Klíčová slova**

Základní vlastnosti logických obvodů, kombinační logický obvod, sekvenční logický obvod, čítače impulsů, monostabilní klopný obvod, astabilní klopný obvod, zákmity tlačítka, osmibitový D/A převodník

## **Summary**

The goal of my thesis was to design and realize a laboratory site for the training course Digital and Microprocessor Technology Bachelor, specifically for the part that deals with digital techniques. A part of this work was also the selection and establishment of laboratory experiments, which will enable students to deepen the knowledge gained in lectures. The tasks are dedicated to these subjects: basic characteristics of TTL logic circuits, combinational circuit design, sequential circuit design, pulse counters, signal conditioning, monostable flip-flops (MKO), astable multivibrator (AKO), flicker button, 8-Bit DAC. In addition, the content of this work was the practical verification of the proposed tasks in the created laboratory site and creation of accompanying documentation. The documentation of laboratory tasks is included in the annexes.

## **Key words**

Basic characteristic of TTL logic circuit, combinational circuit design, sequential circuit design, pulse counters, signal conditioning, monostable multivibrator, astable multivibrator, flicker button, 8-Bit DAC.



### **Seznam použitých symbolů a zkratek**

$\beta$		střída
$\varepsilon_0$	[%]	chyba nuly (posunu)
$\varepsilon_m$	[%]	chyba měřítka (zesílení)
$\Delta U_0$	[V]	absolutní chyba v nulovém bodě
$\Delta U_m$	[V]	absolutní chyba v maximálním bodě
$\Delta U_n$	[V]	absolutní chyba v bodě n
AKO		astabilní klopný obvod
BCD		binary-coded decimal (dvojkově reprezentované dekadické číslo)
C		kondenzátor
CLK		clock signal (hodinový signál)
D/A		digitálně analogový
DAC		digitálně analogový převodník
$f_0$	[Hz]	mezní kmitočet
H		logická úroveň 1 (high)
I/O		vstupní/výstupní
$I_{CC}$	[A]	napájecí proud
$I_I$	[A]	vstupní proud
$I_{NL}$	[%]	integrální nelinearita
IO		integrováný obvod
$I_O$	[A]	výstupní proud
$I_{OH}$	[A]	výstupní proud pro logickou úroveň 1
$I_{OL}$	[A]	výstupní proud pro logickou úroveň 0
$I_{OUT}$	[A]	výstupní proud
$I_{REF}$	[A]	referenční proud
$I_Z$	[A]	zkratový proud
L		logická úroveň 0 (low)
LED		light-emitting diode (světlo vyzařující dioda)
LKO		logický kombinační obvod
log. 0		logická úroveň 0
log. 1		logická úroveň 1
MKO		monostabilní klopný obvod
MSB		most significant bit (nejvýznamnější bit)
$Q_n$		stav na výstupu n klopného obvodu před příchodem hodinového signálu
$Q_{n+1}$		stav na výstupu n klopného obvodu po příchodu hodinového signálu
R		rezistor
S		stavový index
T	[s]	perioda
$T_{HL}$	[s]	doba zpoždění při přechodu z log. 1 na log. 0
$T_i$	[s]	doba trvání impulsu
$T_{LH}$	[s]	doba zpoždění při přechodu z log. 0 na log. 1

$T_{MKO}$	[s]	doba kyvu monostabilního klopného obvodu
TTL		tranzistorově-tranzistorová logika
$U_{CC}$	[V]	napájecí napětí
$U_I$	[V]	vstupní napětí
$U_{IMAX}$	[V]	maximální vstupní napětí
$U_{MAX}$	[V]	maximální napětí
$U_O$	[V]	výstupní napětí
$U_{OH}$	[V]	výstupní napětí pro logickou úroveň 1
$U_{OL}$	[V]	výstupní napětí pro logickou úroveň 0
$U_r$	[V]	referenční napětí
$U_T$	[V]	prahové napětí
X		neurčitá hodnota, tj. libovolná hodnota 1 nebo 0

## **Obsah**

<b>1. Úvod.....</b>	<b>8</b>
<b>2. Laboratorní úlohy .....</b>	<b>9</b>
2.1 Základní vlastnosti logických obvodů TTL .....	9
2.2 Kombinační obvody.....	13
2.3 Sekvenční obvody.....	17
2.3.1 Návrh obvodu pro generování sekvence .....	19
2.3.2 Čítače impulsů.....	21
2.3.3 Návrh složitějšího sekvenčního obvodu.....	24
2.4 Úprava signálů, MKO, AKO .....	31
2.4.1 Monostabilní klopné obvody (MKO).....	31
2.4.2 Astabilní klopné obvody (AKO) .....	32
2.4.3 Zákmity tlačítka.....	33
2.5 Osmibitový D/A převodník .....	35
2.5.1 Digitálně-analogový převodník.....	35
2.5.2 Převodní charakteristika D/A převodníku .....	35
2.5.3 Převodník DAC-08.....	36
2.5.4 Zapojení D/A převodníku s napěťovým výstupem .....	38
2.5.5 Generátor pilového napětí s využitím D/A převodníku .....	39
<b>3. Laboratorní stanoviště .....</b>	<b>40</b>
3.1 Napájecí zdroj .....	41
3.2 Osmibitový tlačítkový volič.....	42
3.3 Displej s BCD dekodérem .....	43
3.4 Čtyřbitový obousměrný binární čítač .....	44
3.5 I/O Svorky, trimr a tlačítko.....	45
3.6 Rozmístění bloků na laboratorním stanovišti .....	46
<b>4. Závěr.....</b>	<b>48</b>
<b>5. Použitá literatura.....</b>	<b>49</b>
<b>6. Seznam příloh.....</b>	<b>50</b>



# 1. Úvod

Význam číslicové techniky neustále vzrůstá, oblibu získala nejen u výrobců spotřební elektroniky, průmyslových aplikací apod., ale i u zákazníků z řad široké veřejnosti. Jako příklad můžeme uvést fakt, že takřka všechny moderní počítače jsou založeny na logických členech (hradlech). Za zmínku stojí také přechod z analogového přenosu televizního signálu na digitální. Číslicový neboli digitální systém je zařízení, které pracuje s informacemi v diskrétní podobě. Opačným případem je systém analogový, který pracuje se spojitými hodnotami. [10], [11]

V číslicové technice se pracuje s číslicovými signály, u kterých je informace přiřazena jen jejich dvěma vzájemně odlišným hodnotám - log. 0 a log. 1, které jsou nejčastěji reprezentovány rozdílnými hodnotami napětí (např. 0 - 0,4V pro log. 0 a 2,4 - 5V pro log. 1). Jednotkou informace je zde jeden bit. Číslicové signály jsou zpracovány logickými obvody, které vzniknou vzájemným propojením jednotlivých členů. Logické členy realizují základní logické funkce, které představují jednoznačné přiřazení hodnot výstupním proměnným pomocí vstupních proměnných. Jde o logický součet (OR), součin (AND) a negaci (NOR). [12]

S těmito základními pojmy seznamuje studenty na VŠB-TUO předmět Číslicová a mikroprocesorová technika Bc. Úkolem mé bakalářské práce bylo navrhnout a realizovat laboratorní stanoviště do cvičení k tomuto předmětu, konkrétně k části, která se zabývá číslicovou technikou. Součástí práce bylo také vytvoření laboratorních úloh, které studentům umožní hlubší pochopení dané problematiky.

V první části práce se zabývám výběrem a popisem vhodných laboratorních úloh pro praktická cvičení ve výuce číslicové a mikroprocesorové techniky. Sestavil jsem celkem pět úloh, které se věnují těmto tématům: základní vlastnosti logických obvodů TTL, návrh kombinačního obvodu, návrh sekvenčního obvodu, čítače impulsů, úprava signálů (monostabilní klopné obvody (MKO), astabilní klopné obvody (AKO), zákmity tlačítka), osmibitový D/A převodník.

V podkapitole Sekvenční obvody jsem také řešil návrh sekvenčního obvodu z knihy Číslicová technika (Antošová, Davídek). Tento příklad je v knize vyřešen chybně a mým úkolem bylo chyby nalézt a opravit.

Druhá část práce je věnována návrhu a realizaci laboratorního stanoviště pro praktická cvičení ve výuce číslicové a mikroprocesorové techniky. Dále se zde zabývám popisem jednotlivých bloků.

Součástí práce bylo i praktické ověření navržených úloh na vytvořeném laboratorním stanovišti a vytvoření průvodní dokumentace. Výsledky měření k úlohám č. 1, 4 a 5 jsou zpracovány formou protokolů, které jsou v přílohách. U úloh č. 2 a 3 stačilo pouze ověřit funkci. Průvodní dokumentace k laboratorním úlohám je také součástí příloh.

## 2. Laboratorní úlohy

Při výběru úloh jsem vycházel z osnovy předmětu Číslicová a mikroprocesorová technika Bc. a z úloh, které se měřily v předešlém ročníku. Vybrané úlohy umožní studentům prohloubit znalosti získané na přednáškách. Sestavil jsem celkem pět úloh, které se věnují těmto tématům:

- základní vlastnosti logických obvodů TTL
- návrh kombinačního obvodu
- návrh sekvenčního obvodu, čítače impulsů
- úprava signálů (monostabilní klopné obvody (MKO), astabilní klopné obvody (AKO), zámkový tlačítko)
- osmibitový D/A převodník

### 2.1 Základní vlastnosti logických obvodů TTL

Cílem této úlohy je seznámení se základními vlastnostmi logických obvodů, jako jsou převodní charakteristika  $U_O = f(U_I)$ , vstupní charakteristika  $I_I = f(U_I)$ , výstupní charakteristiky  $U_{OH} = f(I_{OH})$  a  $U_{OL} = f(I_{OL})$ , odběrová charakteristika  $I_{CC} = f(U_I)$  a zpoždění TTL obvodu.

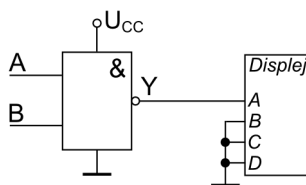
#### Ověření pravdivostní tabulky

Jako vstup použijeme tlačítkový volič nebo čítač. Jako výstup použijeme LED s předřadným rezistorem nebo displej.

NAND:  $Y = \overline{A \cdot B}$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

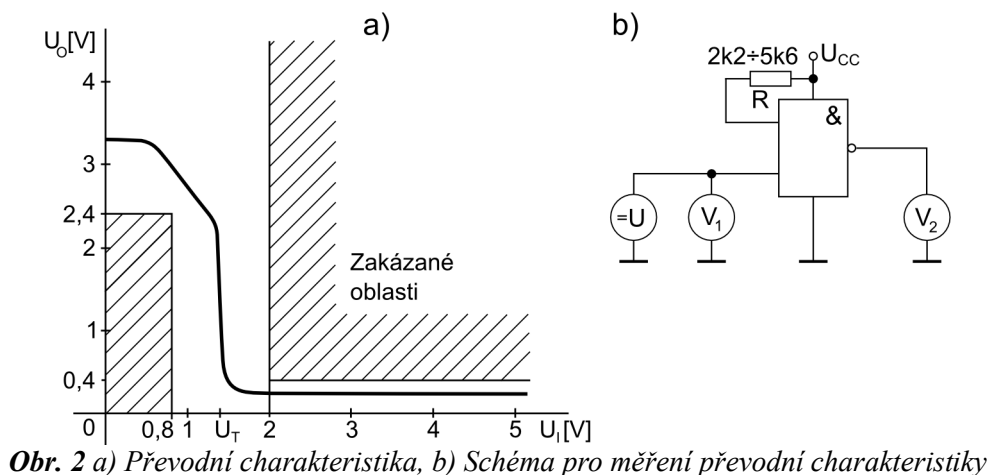
**Tab. 1** Pravdivostní tabulka hradla NAND



**Obr. 1** Schéma zapojení pro ověření pravdivostní tabulky

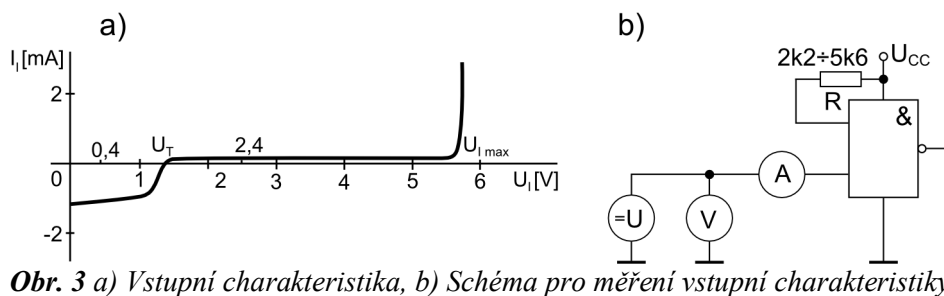
### Měření převodní charakteristiky

Převodní charakteristika udává závislost výstupního napětí  $U_O$  na vstupním napětí  $U_I$  a vyjadřuje tedy přenos hradla v rozsahu obou logických úrovní - je to jedna z nejdůležitějších charakteristik, protože je možné z ní odečíst nejdůležitější parametry hradla. Z této charakteristiky se dá určit prahové napětí  $U_T$ , při kterém dojde k překlopení výstupní úrovně na opačnou. Prahová napětí jsou u hradel vyrobených různými technologiemi různá.



### Měření vstupní charakteristiky

Vstupní charakteristika udává závislost vstupního proudu  $I_I$  na vstupním napětí  $U_I$  hradla. Z průběhu charakteristiky je zřejmé, že při vstupním napětí větším než prahové napětí  $U_T$  teče proud do vstupu a při vstupním napětí menším než prahové napětí  $U_T$  proud teče obráceně. Je vidět, že chování vstupu je silně nelineární jak co se týče hodnot proudu, tak i jeho polarity. Z této charakteristiky se dá určit prahové napětí  $U_T$ , při kterém dojde k překlopení výstupní úrovně na opačnou. Důležité je dobře proměřit okolí proudu  $I_I = 0$ .

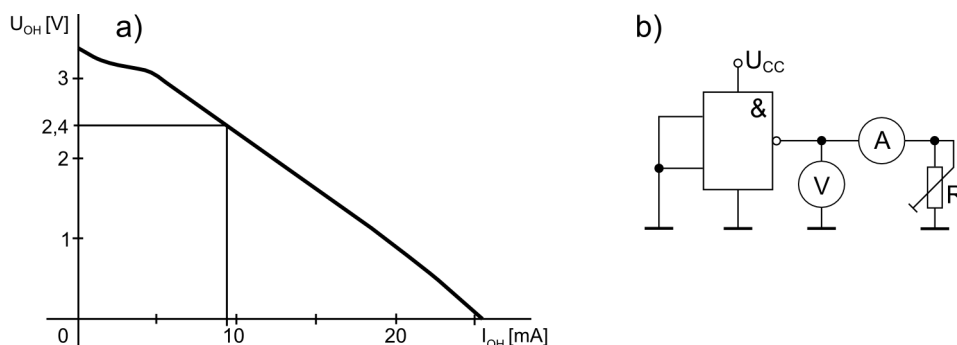


### Měření výstupních charakteristik

Výstupní charakteristiky udávají závislost výstupního napětí  $U_O$  na velikosti výstupního proudu  $I_O$ . Charakteristiky jsou dvě, jedna představuje podmínky "udržení log. 1" při zvětšování



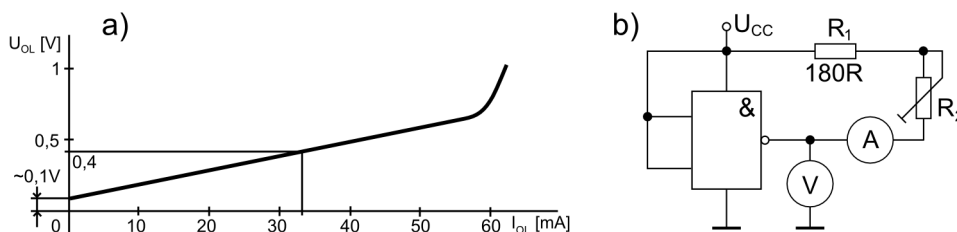
proudu do zátěže (Obr. 4 a), druhá představuje "udržení 0" při zvyšování spínaného proudu zátěže (Obr. 5 a). Obě charakteristiky umožňují zhodnotit poměry na výstupu obvodů při zvýšených nárocích na zatížení s tím, že máme možnost posoudit funkci v dovoleném tolerančním pásmu jak z hlediska mezních hodnot zátěže (a výkonové ztráty), tak i z hlediska udržení úrovně logických signálů. [5]



**Obr. 4** a) Výstupní char. pro H na výstupu, b) Schéma zapojení pro měření výstupní char.

Z této charakteristiky můžeme odečíst tyto parametry:

- $I_Z$  - zkratový výstupní proud
- $I_{OH}$  - výstupní proud při výstupním napětí, které ještě odpovídá úrovni H, to je  $U_{OH} = 2,4V$



**Obr. 5** a) Výstupní char. pro L na výstupu, b) Schéma zapojení pro měření výstupní char.

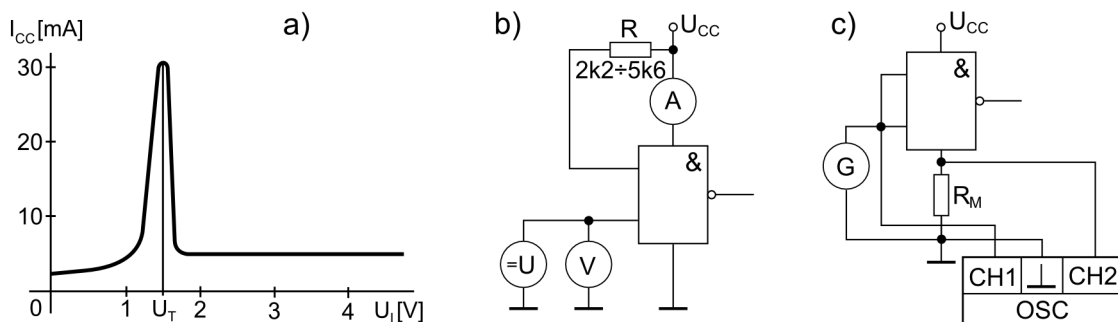
Z této charakteristiky můžeme odečíst tyto parametry:

- $I_{OL}$  - výstupní proud při výstupním napětí, které ještě odpovídá úrovni L, to je  $U_{OL} = 0,8V$

Tato měření se musí provádět rychle, aby se IO zvýšeným proudem zbytečně nezahříval.

### Odběrová charakteristika

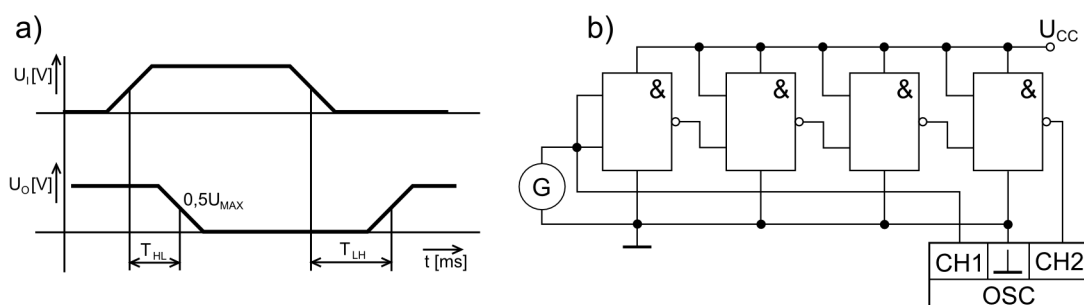
Odběrová charakteristika udává závislost napájecího proudu  $I_{CC}$  na vstupním napětí  $U_I$ . Udává dynamické hodnoty odběru ze zdroje při přechodu obvodu z jedné úrovně do druhé. Při přechodu přes prahové napětí  $U_T$  pracují všechny tranzistory v lineárním pásmu a hradlo má největší odběr ze zdroje, který je přibližně 30x vyšší než odběr v ustáleném stavu. Tato odběrová špička, jejíž doba trvání je  $<10ns$ , je velmi silným zdrojem rušení. [5]



**Obr. 6** a) Odběrová charakteristika, b) Schéma pro měření odběrové charakteristiky  
c) Schéma pro měření odběru hradla

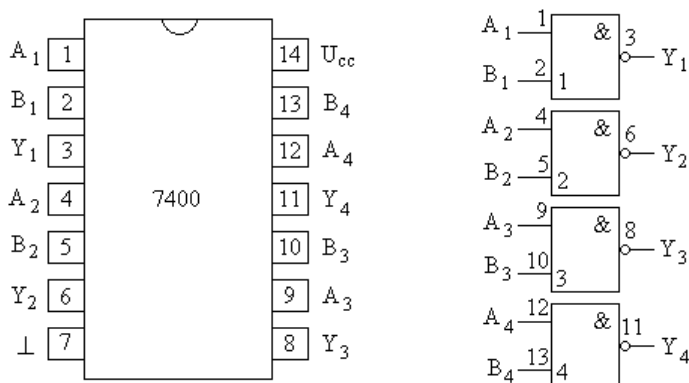
### Měření zpoždění hradla

Dynamické parametry hradla (zpoždění) souvisí s tím, že hradlo nereaguje svým výstupem na přivedený signál okamžitě (přesycování tranzistorů, kapacity přechodů). Doby zpoždění hradla jsou pro oba typy změn úrovně rozdílné. Jak je z *Obr. 7 a)* patrné, stanovuje se doba zpoždění mezi body 50% maxima. Vzhledem k omezeným možnostem přístrojů je vhodné měřit průchod signálu několika hradly za sebou. Z celkového zpoždění několika hradel se musí vypočítat průměrná doba zpoždění jednoho hradla.



**Obr. 7** a) Zpoždění hradla, b) Schéma zapojení pro měření zpoždění hradla

### Zapojení vývodů IO 7400 (4x dvojitá hradla NAND)



**Obr. 8** Zapojení vývodů IO 7400

## 2.2 Kombinační obvody

Cílem této úlohy je, aby si studenti procvičili návrh kombinačního obvodu, převody mezi číselnými soustavami a minimalizace funkcí pomocí Karnaughovy mapy. Navržený obvod studenti sestaví na nepájivém poli. Jako vstup mohou použít tlačítkový volič nebo čítač. Jako výstup mohou použít LED s předřadným rezistorem nebo displej.

### Kombinační logický obvod

Je to obvod, u kterého stav výstupu závisí pouze na kombinaci vstupních proměnných, bez ohledu na předcházející stav. Obvod tedy nemá paměťový efekt a jedné kombinaci vstupů odpovídá pouze jedna hodnota výstupu. Je sestaven ze základních logických členů tak, aby splňoval požadovanou logickou funkci. Mezi kombinační obvody patří např. kodéry, dekodéry, multiplexery, demultiplexery, sčítačky.

### Převod do binární soustavy a vytvoření pravdivostní tabulky

Nejjednodušší je pro převod využít vztahu mezi binární a hexadecimální soustavou, podle kterého stačí jednotlivé symboly hexadecimální soustavy vyjádřit binárně.

Převod si ukážeme na příkladu  $y(x_3, x_2, x_1, x_0) = B0A0_{16}$

- převedeme jednotlivé symboly:

$$B_{16} = 1011_2, 0_{16} = 0000_2, A_{16} = 1010_2, 0_{16} = 0000_2$$

- výsledek:

$$B0A0_{16} = 1011000010100000_2$$



Pravdivostní tabulku vytvoříme tak, že do ní zapíšeme binární číslo odzadu, tedy od nejnižšího bitu.

S	$x_3$	$x_2$	$x_1$	$x_0$	y
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

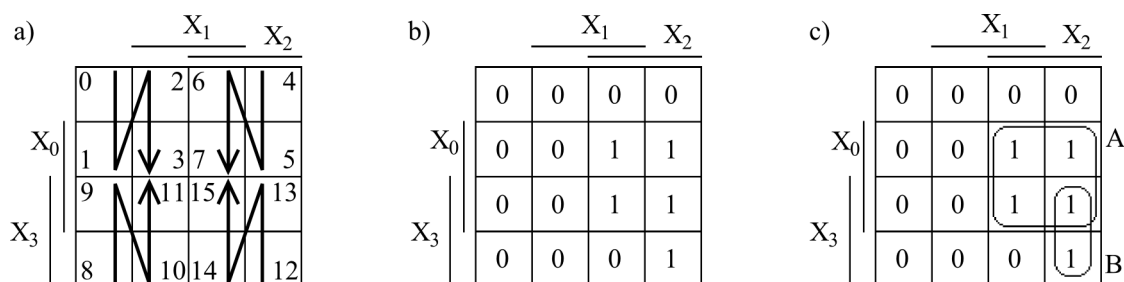
*Tab. 2 Pravdivostní tabulka kombinačního obvodu*

### **Minimalizace funkce**

Při návrhu obvodu požadujeme co nejjednodušší algebraický výraz, tedy co nejméně operací. Toto vede ke zjednodušení obvodu, jelikož je potřeba minimální počet co nejjednodušších logických členů.

### **Minimalizace pomocí Karnaughovy mapy**

Karnaughova mapa je tabulka, která má tolik políček, kolik je kombinací vstupních. Každé políčko odpovídá jedné z možných kombinací a zapisujeme do něj odpovídající funkční hodnotu. U Karnaughovy mapy se sousední políčka od sebe liší hodnotou jediného argumentu. Do mapy se zapisuje 1, 0 nebo X (pro hodnotu neurčitou, tj. libovolná hodnota 1 nebo 0). Pro jeden výstup je vždy jedna mapa. Hodnoty logické funkce z pravdivostní tabulky zapíšeme do Karnaughovy mapy podle stavových indexů S, např. tak, jak je zobrazeno na *Obr. 9 a), b)*.



**Obr. 9** Karnaughova mapa 4x4

a) pořadí stavových indexů, b) vyplnění Karnaughovy mapy, c) smyčky pro součtový tvar

Minimalizace logického výrazu pomocí Karnaughovy mapy se provádí sdružováním jedniček nebo nul do skupin, tzv. smyček. Z mapy můžeme funkci vyčíst v součtovém nebo v součinném tvaru. U součtového tvaru smyčkou označíme sousední čtverečky, kde má funkce hodnotu log. 1, a tyto smyčky vypíšeme jako dílčí součiny. U součinného tvaru smyčkou označíme sousední čtverečky, kde má funkce hodnotu log. 0, a tyto smyčky vypíšeme jako dílčí součty.

Při tvoření smyček dodržujeme tato pravidla:

- smyčky musí obsahovat všechny log. 1 (pro součtový tvar) nebo log. 0 (pro součinný tvar)
- v jedné smyčce může být pouze  $2^n$  (pro  $n = 0, 1, 2, \dots$ ) sousedních jedniček (pro součtový tvar) nebo nul (pro součinný tvar), přičemž každá smyčka musí mít tvar obdélníku nebo čtverce
- každá log. 1 (pro součtový tvar) nebo log. 0 (pro součinný tvar) může být součástí několika smyček (smyčky se mohou překrývat)
- snažíme se vytvářet co nejméně smyček, které by měly být co největší, tedy obsahovat co nejméně proměnných
- do smyčky lze přiřadit pouze vzájemně sousedící jedničky nebo nuly, přitom první a poslední sloupec (resp. řádek) mapy se také považují za vzájemně sousedící
- neurčitý stav lze považovat za jedničku, pokud to umožní zvětšit některou smyčku, v ostatních případech neurčitý stav považujeme za nulu.

Mapu vyhodnocujeme po jednotlivých smyčkách a to tak, že:

- je-li smyčka celá pod určitou proměnnou, zapíšeme tuto proměnnou
- je-li smyčka celá mimo určitou proměnnou, zapíšeme tuto proměnnou v negaci
- obsahuje-li proměnná jen část smyčky, tak ji ignorujeme
- jednotlivé proměnné dané smyčky mezi sebou logicky násobíme (pro součtový tvar) nebo sčítáme (pro součinný tvar)
- výsledná funkce je pak součet dílčích součinů (pro součtový tvar) nebo součin dílčích součtů (pro součinný tvar)

Pro součtový tvar můžeme z *Obr. 9 c)* vyčíst pro jednotlivé smyčky:

$$A = x_0 \cdot x_2 \text{ a } B = \overline{x_1} \cdot x_2 \cdot x_3$$

Minimalizovaná funkce pro součtový tvar bude tedy vypadat:

$$y(x_3, x_2, x_1, x_0) = A + B = x_0 \cdot x_2 + \overline{x_1} \cdot x_2 \cdot x_3$$

Tuto funkci můžeme případně upravit použitím De Morganových zákonů

### De Morganovy zákony

Tyto zákony slouží k tomu, aby bylo možné obvod sestavit jen z hradel NOT a NAND (pro součtový tvar) nebo NOT a NOR (pro součinnový tvar)

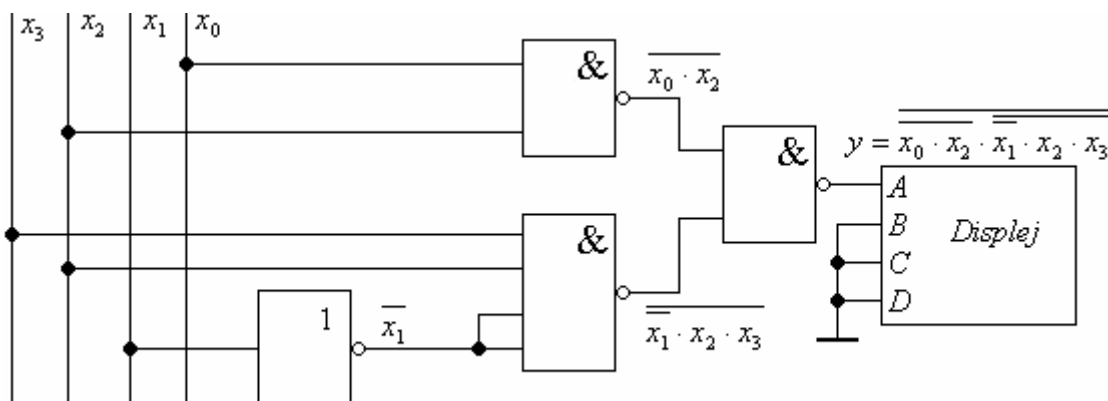
- zákon součtu:  $\overline{f + g} = \overline{f} \cdot \overline{g} \Rightarrow f + g = \overline{\overline{f} \cdot \overline{g}}$
- zákon součinu:  $\overline{f \cdot g} = \overline{f} + \overline{g} \Rightarrow f \cdot g = \overline{\overline{f} + \overline{g}}$

Upravení funkce pomocí De Morganova zákonu:

$$y = x_0 \cdot x_2 + \overline{x_1} \cdot x_2 \cdot x_3 = \overline{\overline{x_0 \cdot x_2 + \overline{x_1} \cdot x_2 \cdot x_3}} = \overline{\overline{x_0 \cdot x_2} \cdot \overline{\overline{x_1} \cdot x_2 \cdot x_3}} = \overline{\overline{x_0 \cdot x_2} \cdot x_1 \cdot \overline{x_2 \cdot x_3}}$$

### Návrh schématu zapojení

Podle upravené funkce již můžeme navrhnout schéma zapojení. Postupujeme zevnitř funkce, jako je na *Obr. 10*.



**Obr. 10** Schéma zapojení kombinačního obvodu

## 2.3 Sekvenční obvody

Cílem této úlohy je, aby si studenti procvičili návrh sekvenčního obvodu, minimalizace funkcí pomocí Karnaughovy mapy a seznámili se s klopnými obvody a funkcí čítače. Navržené obvody studenti sestaví na nepájivém poli. Jako vstup použijí generátor, jako výstup použijí displej.

### Sekvenční logický obvod

Sekvenční logický obvod je složen z kombinačního obvodu a paměti. U těchto obvodů hodnota výstupní proměnné závisí na kombinaci vstupních proměnných a na předchozím stavu obvodu. U sekvenčních obvodů tedy stejné hodnoty vstupních proměnných přivedené na vstup obvodu nevyvolávají vždy stejnou odezvu na výstupu obvodu. Sekvenční obvody jsou např. klopné obvody, posuvné registry, čítače.

### Klopné obvody

Klopné obvody jsou základní sekvenční obvody, které se používají jako paměťové členy v sekvenčních obvodech, nebo jako samostatné funkční bloky, např. v posuvných registrech, v čítačích, statických pamětech apod. Úkolem klopných obvodů je zaznamenat přítomnost přechodné informace a uchovat tento stav i tehdy, když informace zmizí. Klopné obvody jsou tedy elementární paměti. Jejich výstupní stavy se mění skokem mezi dvěma hodnotami logických úrovní. [1]

### **Klopný obvod D**

Klopný obvod D je zdokonalením obvodu R-S a odstraňuje zakázaný vstupní stav. Oproti R-S se tento klopný obvod vyrábí pouze v synchronní variantě. Klopný obvod D je řízen vzestupnou hranou. Chování obvodu je popsáno tabulkou přechodů *Tab. 3*.

Logická funkce klopného obvodu D:

$$D_n = Q_{n+1}, \text{ kde:}$$

$n$         stav před příchodem hodinového signálu

$n+1$      stav po příchodu hodinového signálu

Lze tedy říci, že klopný obvod D zpožďuje vstupní logický signál o jeden takt.

## Klopný obvod J-K

Klopný obvod J-K je zdokonalením obvodu R-S a odstraňuje zakázaný vstupní stav. Oproti R-S se tento klopný obvod vyrábí pouze v synchronní variantě. Klopný obvod J-K je řízen vzestupnou hranou. Pokud nejsou některé vstupy využity, mohou se buď spojit s použitými, nebo vstupy J s výstupem  $\bar{Q}$  a vstupy K s výstupem  $Q$ , případně všechny s hodinovým vstupem. Tím se jen znásobí vnitřní spoje v klopném obvodu. Chování obvodu je popsáno tabulkou přechodů *Tab. 3*.

Logická funkce klopného obvodu J-K:

$$Q_{n+1} = J_n \cdot \bar{Q}_n + \bar{K}_n \cdot Q_n, \text{ kde:}$$

- $n$  stav před příchodem hodinového signálu
- $n+1$  stav po příchodu hodinového signálu
- $J_n$  stav na vstupu J před příchodem hodinového signálu
- $K_n$  stav na vstupu K před příchodem hodinového signálu
- $Q_n$  stav na výstupu klopného obvodu před příchodem hodinového signálu
- $Q_{n+1}$  stav na výstupu klopného obvodu po příchodu hodinového signálu

## Tabulka přechodů

Chování základních klopných obvodů je možné s výhodou popsat tabulkou přechodů, znázorněnou v *Tab. 3*. Tato tabulka se používá při syntéze sekvenčních logických obvodů, kdy porovnáváme přechody mezi vnitřními stavy ve vývojové tabulce s přechody zvoleného klopného obvodu. V levém sloupci *Tab. 3* jsou uvedeny přechody mezi vnitřními stavy jednotlivých klopných obvodů a v následujících sloupcích hodnoty příslušných budících vstupů, které tento přechod zabezpečí. [1]

výstup	budící vstupy					
$Q_n \rightarrow Q_{n+1}$	D		J	K		R S
$0 \rightarrow 0$	0		0	x		x 0
$0 \rightarrow 1$	1		1	x		0 1
$1 \rightarrow 0$	0		x	1		1 0
$1 \rightarrow 1$	1		x	0		0 x

**Tab. 3** Tabulka přechodů základních klopných obvodů [1]



### 2.3.1 Návrh obvodu pro generování sekvence

Návrh si ukážeme na příkladu:

- je dána sekvence:  $3 \rightarrow 1 \rightarrow 7 \rightarrow 5$

#### Vytvoření vývojové tabulky

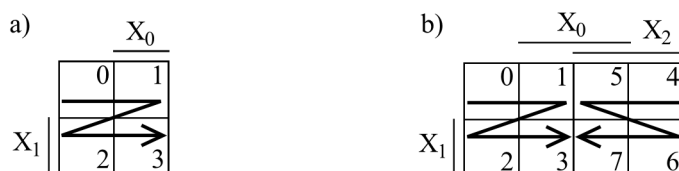
Do vývojové tabulky zapíšeme stav výstupů  $Q_n$  a podle dané sekvence určíme následující stav  $Q_{n+1}$ . Jednotlivé přechody  $Q_n \rightarrow Q_{n+1}$  jsou:  $1 \rightarrow 7$ ,  $3 \rightarrow 1$ ,  $5 \rightarrow 3$ ,  $7 \rightarrow 5$ . Poté podle tabulky přechodů klopného obvodu J-K (Tab. 3) určíme budicí funkce jednotlivých vstupů. Např. přechod výstupu  $Q_2$  (pro  $S = 1$ ) z  $0 \rightarrow 1$  zajistí budicí funkce  $J = 1$  a  $K = X$  tedy libovolný stav.

Výstupy $Q_n$				Výstupy $Q_{n+1}$				Vstupy					
S	$Q_2$	$Q_1$	$Q_0$		$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
1	0	0	1	7	1	1	1	1	X	1	X	X	0
3	0	1	1	1	0	0	1	0	X	X	1	X	0
5	1	0	1	3	0	1	1	X	1	1	X	X	0
7	1	1	1	5	1	0	1	X	0	X	1	X	0

Tab. 4 Vývojová tabulka sekvenčního logického obvodu (zadané sekvence)

#### Minimalizace pomocí Karnaughovy mapy

Nyní pomocí Karnaughových map určíme logickou funkci pro jednotlivé vstupy. Mapu vyplníme podle stavových indexů  $S$ , např. tak, jak je na Obr. 11. Prázdná políčka vyplníme  $X$ , což je libovolná hodnota 1 nebo 0.



Obr. 11 Karnaughova mapa - pořadí stavových indexů a) mapa 2x2, b) mapa 2x4

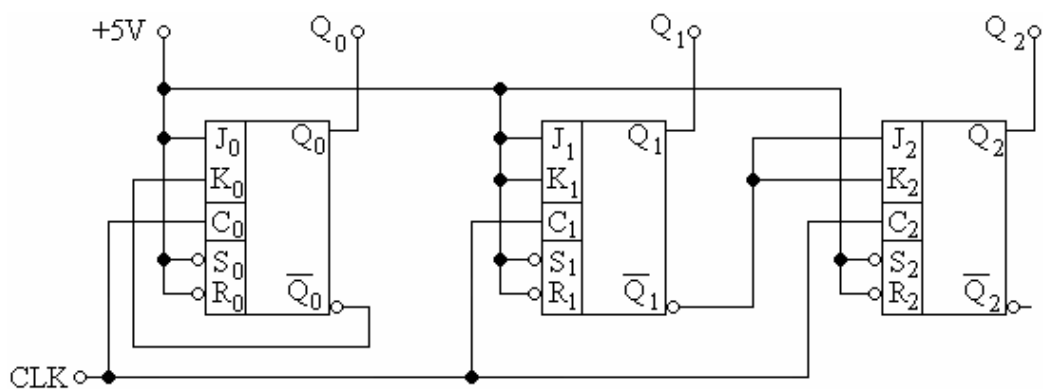
Pro $J_2$	$\begin{array}{c cc} & Q_0 & Q_2 \\ \hline Q_1 & \begin{array}{ c c c c } \hline X & 1 & X & X \\ \hline X & 0 & X & X \\ \hline \end{array} \end{array}$	Pro $J_1$	$\begin{array}{c cc} & Q_0 & Q_2 \\ \hline Q_1 & \begin{array}{ c c c c } \hline X & 1 & 1 & X \\ \hline X & X & X & X \\ \hline \end{array} \end{array}$	Pro $J_0$	$\begin{array}{c cc} & Q_0 & Q_2 \\ \hline Q_1 & \begin{array}{ c c c c } \hline X & X & X & X \\ \hline X & X & X & X \\ \hline \end{array} \end{array}$
Pro $K_2$	$\begin{array}{c cc} & Q_0 & Q_2 \\ \hline Q_1 & \begin{array}{ c c c c } \hline X & X & 1 & X \\ \hline X & X & 0 & X \\ \hline \end{array} \end{array}$	Pro $K_1$	$\begin{array}{c cc} & Q_0 & Q_2 \\ \hline Q_1 & \begin{array}{ c c c c } \hline X & X & X & X \\ \hline X & 1 & 1 & X \\ \hline \end{array} \end{array}$	Pro $K_0$	$\begin{array}{c cc} & Q_0 & Q_2 \\ \hline Q_1 & \begin{array}{ c c c c } \hline X & 0 & 0 & X \\ \hline X & 0 & 0 & X \\ \hline \end{array} \end{array}$

**Obr. 12** Karnaughovy mapy pro jednotlivé vstupy klopných obvodů J-K

Z Karnaughových map na Obr. 12 můžeme vyčíst logické funkce pro jednotlivé vstupy, které jsou:

$$J_2 = \bar{Q}_1, \quad J_1 = 1, \quad J_0 = 1, \quad K_2 = \bar{Q}_1, \quad K_1 = 1, \quad K_0 = \bar{Q}_0$$

Podle minimalizovaných funkcí můžeme sestavit schéma zapojení:



**Obr. 13** Schéma zapojení sekvenčního obvodu pro danou sekvenci

### Připojení displeje k obvodu

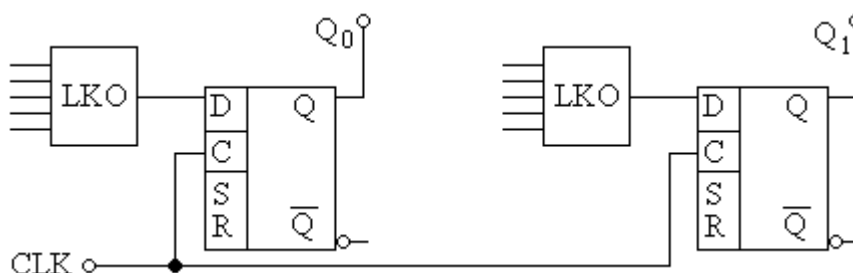
Jednotlivé výstupy klopných obvodů připojíme na vstup BCD dekodéru ( $Q_0$  na A,  $Q_1$  na B, atd...). Nepoužité vstupy BCD dekodéru musíme uzemnit, jinak se chovají, jako by na nich byla log. 1.

### 2.3.2 Čítače impulsů

Čítač je sekvenční logický obvod složený z klopných obvodů typu J-K, T nebo D, který čítá impulsy přivedené na jeho vstup. Čítače můžeme podle principu činnosti rozdělit na asynchronní a synchronní. U asynchronního čítače je výstup každého klopného obvodu propojen se vstupem obvodu následujícího a překlápění jednotlivých klopných obvodů se uskutečňuje postupně s hodinovými impulsy přivedenými na jeho vstup. Synchronní čítače překlápějí všechny klopné obvody naráz a nedochází tak u nich jako u asynchronních čítačů k časovému zpoždění. [6]

#### Návrh čítače modulo n

Synchronní čítače jsou navrhovány stejným způsobem jako synchronní sekvenční obvody. Blokové schéma synchronního čítače je na *Obr. 14* a je charakteristické tím, že každý paměťový člen má budicí funkci realizovanou kombinačním obvodem.



*Obr. 14* Blokové schéma synchronního čítače [3]

Návrh si ukážeme na synchronním čítači vzad modulo 6

#### Vytvoření vývojové tabulky

Vývojovou tabulku vytvoříme tak jako v předešlém příkladě. Do vývojové tabulky zapíšeme stav výstupů  $Q_n$  a podle požadovaného čítače určíme následující stav  $Q_{n+1}$ . Poté podle tabulky přechodů klopného obvodu D (*Tab. 3*) určíme budicí funkce jednotlivých vstupů. Např. přechod výstupu  $Q_2$  z  $0 \rightarrow 1$  zajistí budicí funkce  $D = 1$ .

Výstupy $Q_n$				Výstupy $Q_{n+1}$				Vstupy		
S	$Q_2$	$Q_1$	$Q_0$		$Q_2$	$Q_1$	$Q_0$	$D_2$	$D_1$	$D_0$
0	0	0	0	5	1	0	1	1	0	1
1	0	0	1	0	0	0	0	0	0	0
2	0	1	0	1	0	0	1	0	0	1
3	0	1	1	2	0	1	0	0	1	0
4	1	0	0	3	0	1	1	0	1	1
5	1	0	1	4	1	0	0	1	0	0

**Tab. 5** Vývojová tabulka sekvenčního logického obvodu (čítače modulo 6)

### Minimalizace pomocí Karnaughovy mapy

Nyní pomocí Karnaughových map určíme logickou funkci pro jednotlivé vstupy. Mapu vyplníme podle stavových indexů **S**, např. tak, jak je na *Obr. 11*. Prázdná políčka vyplníme X, což je libovolná hodnota 1 nebo 0.

Pro $D_2$		$\overline{Q_0} \quad Q_2$			
$Q_1$		1	0	1	0
		0	0	X	0

Pro $D_1$		$\overline{Q_0} \quad Q_2$			
$Q_1$		0	0	0	1
		0	1	X	X

Pro $D_0$		$\overline{Q_0} \quad Q_2$			
$Q_1$		1	0	0	1
		1	0	X	X

**Obr. 15** Karnaughovy mapy pro jednotlivé vstupy klopných obvodů J-K

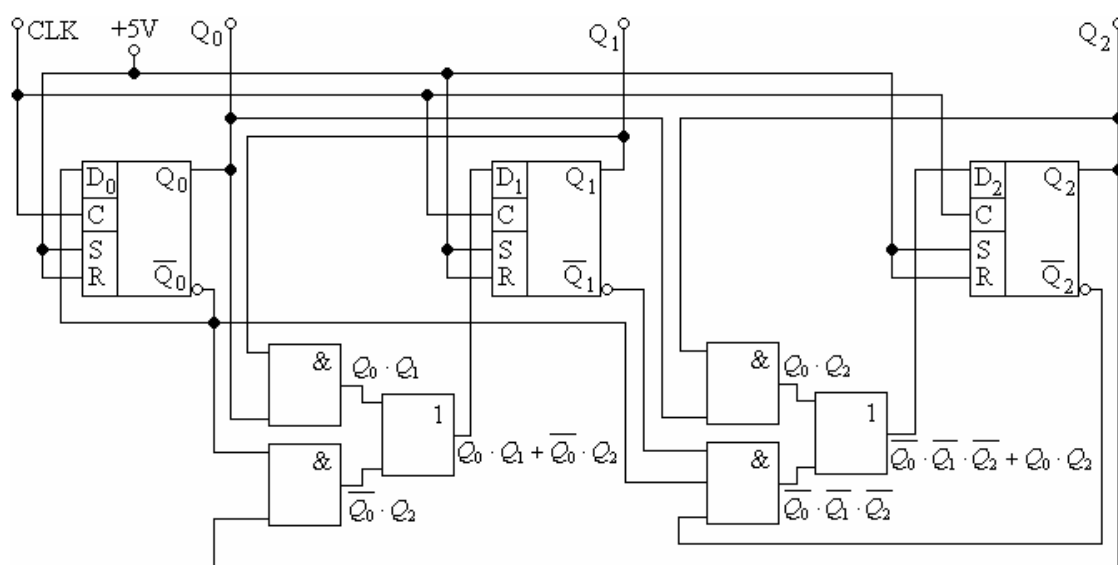
Z Karnaughových map na *Obr. 15* můžeme vyčíst logické funkce pro jednotlivé vstupy, které jsou:

$$D_2 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} + Q_0 \cdot Q_2,$$

$$D_1 = Q_0 \cdot Q_1 + \overline{Q_0} \cdot Q_2,$$

$$D_0 = \overline{Q_0}$$

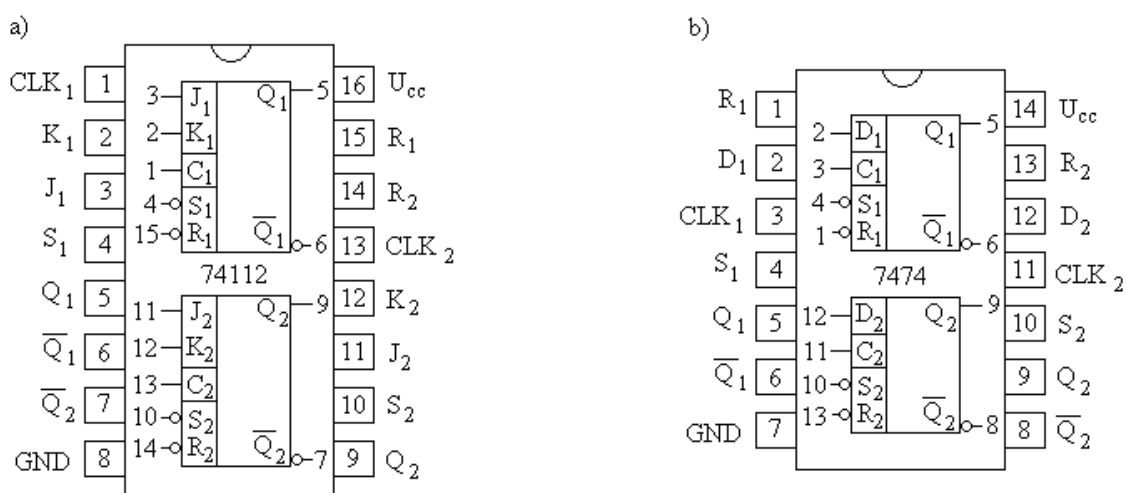
Podle minimalizovaných funkcí můžeme sestavit schéma zapojení:



**Obr. 16** Schéma zapojení synchronního čítače vzad modulo 6

### **IO 74112 (2x klopný obvod J-K), IO 7474 (2x klopný obvod D)**

Tyto klopné obvody mají navíc asynchronní vstupy R a S. Synchronní provoz těchto klopných obvodů je možný pouze v případě, že  $R = S = 1$ . Při logickém signálu na asynchronních vstupech  $R = 0$  a  $S = 1$  se výstup klopného obvodu nastaví na 0. Při  $R = 1$  a  $S = 0$  se výstup klopného obvodu nastaví na 1. Stav  $R = S = 0$  není dovolen.



**Obr. 17** a) Zapojení vývodů IO 74112, b) Zapojení vývodů IO 7474

### 2.3.3 Návrh složitějšího sekvenčního obvodu

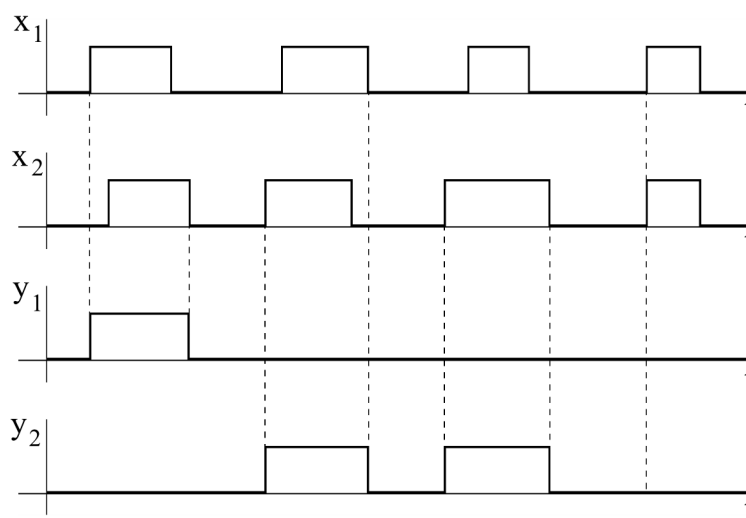
Mým úkolem bylo zkontrolovat a případně opravit příklad návrhu sekvenčního obvodu v knize: Číslicová technika (Marcela Antošová, Vratislav Davídek). [1]

#### Slovní zadání

Navrhněte sekvenční logický obvod se dvěma vstupy  $x_1$  a  $x_2$  a se dvěma výstupy  $y_1$  a  $y_2$ , který bude vyhodnocovat pořadí vstupů. Na oba vstupy přicházejí posloupnosti signálů vždy ve dvojicích, ale s určitým vzájemným zpožděním. Obvod má vyhodnotit, který ze signálů  $x_1$  nebo  $x_2$  přišel dříve. Zpoždění bude indikováno logickou jedničkou na výstupu  $y_1$  nebo  $y_2$ . [1]

#### Řešení

Podle slovního zadání si nakreslíme časový diagram sledu událostí na vstupech a výstupech (Obr. 18).



**Obr. 18** Popis funkce sekvenčního obvodu časovým diagramem [1]

Jednotlivým kombinacím výstupních signálů přiřadíme vždy jeden vnitřní stav. Z Obr. 18 můžeme vidět, že kombinace výstupních signálů  $y_1 = 1$  a  $y_2 = 1$  nikdy nenastane.

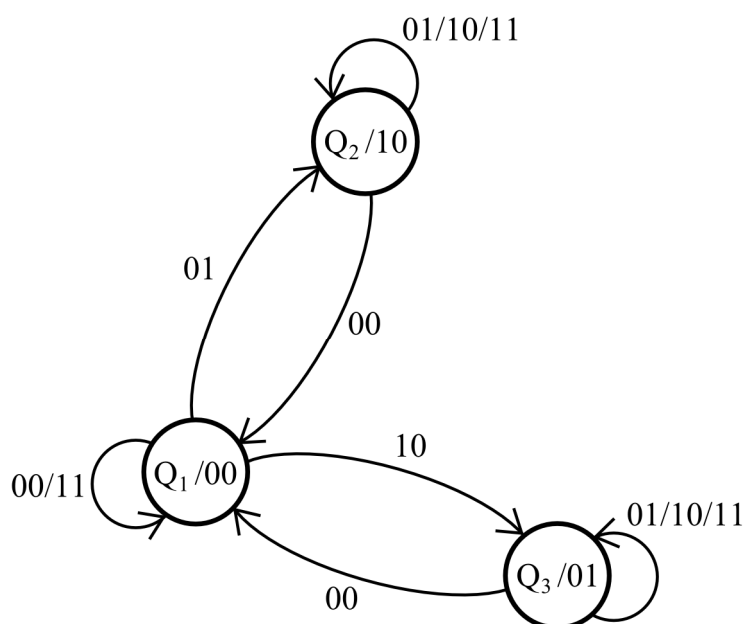
$y_1 = 0, y_2 = 0$	$\rightarrow$	vnitřní stav $Q_1$
$y_1 = 1, y_2 = 0$	$\rightarrow$	vnitřní stav $Q_2$
$y_1 = 0, y_2 = 1$	$\rightarrow$	vnitřní stav $Q_3$

Dále podle slovního zadání a časového diagramu můžeme sestavit vývojovou tabulku (Tab. 6). Vývojová tabulka má tolik řádků, kolik má sekvenční obvod vnitřních stavů. V prvním sloupci tabulky jsou současné vnitřní stavy  $Q_1$ ,  $Q_2$  a  $Q_3$ . Druhý až čtvrtý sloupec znázorňuje přechod do následujícího vnitřního stavu pro jednotlivé kombinace vstupních proměnných. [1]

vnitřní stavy $Q_n$	vnitřní stavy $Q_{n+1}$ pro hodnoty vstupů $x_2x_1$ :				výstupy	
	00	01	10	11	$y_1$	$y_2$
$Q_1$	$Q_1$	$Q_2$	$Q_3$	$Q_1$	0	0
$Q_2$	$Q_1$	$Q_2$	$Q_2$	$Q_2$	1	0
$Q_3$	$Q_1$	$Q_3$	$Q_3$	$Q_3$	0	1

**Tab. 6** Vývojová tabulka sekvenčního logického obvodu [1]

Ze zadaného časového diagramu, případně z vývojové tabulky můžeme sestavit diagram přechodů (Obr. 19). Jednotlivé vnitřní stavy sekvenčního obvodu označíme kroužky, do nichž vepíšeme aktuální vnitřní stav a hodnoty výstupů, např.  $Q_1/00$ . Jednotlivé kroužky vnitřních stavů jsou propojeny orientovanými větvemi, které vyznačují přechody mezi vnitřními stavy. Větve jsou opatřeny označením hodnot vstupů, které přechod vnitřního stavu způsobí. [1]



**Obr. 19** Diagram přechodů sekvenčního logického obvodu [1]

Další fází syntézy sekvenčních obvodů bývá *minimalizace počtu vnitřních stavů*. V tomto příkladě již nelze minimalizovat, protože z časového diagramu vyplynul již minimální počet vnitřních stavů.

Dále musíme zakódovat vnitřní stavy sekvenčního obvodu pomocí vnitřních proměnných. Sekvenční obvod má tři vnitřní stavy  $Q_1$ ,  $Q_2$  a  $Q_3$ . K zakódování těchto tří stavů budou potřeba *dva klopné obvody*. Jejich výstupy budou tvořit vnitřní proměnné, které označíme  $q_1$  a  $q_2$ . *Tab. 7* ukazuje zvolený způsob kódování vnitřních stavů. [1]

$Q_i$	$q_2$	$q_1$
$Q_1$	0	0
$Q_2$	0	1
$Q_3$	1	1

**Tab. 7** Zvolený způsob zakódování vnitřních stavů

V dalším postupu syntézy sekvenčního obvodu se rozhodneme pro typy klopných obvodů, kterými budeme realizovat vnitřní proměnné  $q_1$  a  $q_2$ . Můžeme se rozhodnout pro jakýkoliv z typů uvedených v *Tab. 3*. Proměnnou  $q_1$  budeme realizovat klopným obvodem D a proměnnou  $q_2$  klopným obvodem JK.

Nyní navrhujeme budicí funkce D a J a K jednotlivých klopných obvodů. Tabulku *Tab. 6* převedeme do tvaru, kdy jednotlivé vnitřní stavy budou zakódovány vnitřními proměnnými  $q_1$  a  $q_2$ . Tato tabulka je znázorněna v *Tab. 8*. V prvním sloupci tabulky jsou současné vnitřní stavy  $Q_1$ ,  $Q_2$  a  $Q_3$  zakódované vnitřními proměnnými. Ve druhém až čtvrtém sloupci tabulky jsou uvedeny zakódované následující vnitřní stavy pro všechny kombinace vstupních proměnných  $x_1$  a  $x_2$ . [1]

	vnitřní stavy $Q_n$		vnitřní stavy $Q_{n+1}$ pro hodnoty vstupů $x_2x_1$ :							
			$x_2=0, x_1=0$		$x_2=0, x_1=1$		$x_2=1, x_1=0$		$x_2=1, x_1=1$	
	$q_2$	$q_1$	$q_2$	$q_1$	$q_2$	$q_1$	$q_2$	$q_1$	$q_2$	$q_1$
$Q_1$	0	0	0	0	0	1	1	1	0	0
$Q_2$	0	1	0	0	0	1	0	1	0	1
$Q_3$	1	1	0	0	1	1	1	1	1	1

**Tab. 8** Tabulka vnitřních stavů se zakódovanými stavy [1]

Nyní odvodíme Karnaughovu mapu pro budicí funkce D klopného obvodu, který realizuje vnitřní proměnnou  $q_1$ . Každé políčko Karnaughovy mapy bude funkcí vstupních proměnných  $x_1$  a  $x_2$  a vnitřních proměnných  $q_1$  a  $q_2$ . Karnaughovu mapu sestavíme z tabulky vnitřních stavů *Tab. 8* pro změny proměnné  $q_1$ . Při sestavení Karnaughovy mapy porovnáváme přechody v tabulce vnitřních stavů (*Tab. 8*) s tabulkou přechodů klopného obvodu D (*Tab. 3*).



		$x_2$		$x_1$	
		0	1	0	1
$q_2$	0	X	X	X	X
	1	0	1	1	1
$q_1$	0	0	1	1	1
	1	0	1	1	1

**Obr. 20** Karnaughova mapa pro odvození budicí funkce D

Vnitřní stav  $q_1=0$ ,  $q_2=1$  není při kódování vnitřních stavů použit, a proto se v Karnaughově mapě projeví neurčenými stavy, které s výhodou využijeme při minimalizaci funkce D. Z mapy na Obr. 20 vyplývá odvozená budicí funkce klopného obvodu D

$$D = \overline{x_1} \cdot x_2 + x_1 \cdot \overline{x_2} + x_1 \cdot q_1$$

Nyní odvodíme Karnaughovy mapy pro budicí funkce JK klopného obvodu, který realizuje vnitřní proměnnou  $q_2$ . Karnaughovy mapy sestavíme z tabulky vnitřních stavů Tab. 8 pro změny proměnné  $q_2$ . Při sestavení Karnaughových map porovnáváme přechody v tabulce vnitřních stavů (Tab. 8) s tabulkou přechodů klopného obvodu JK (Tab. 3). [1]

		$x_2$		$x_1$	
		0	1	0	0
$q_2$	0	X	X	X	X
	1	X	X	X	X
$q_1$	0	0	0	0	0
	1	0	0	0	0

		$x_2$		$x_1$	
		0	1	0	0
$q_2$	0	X	X	X	X
	1	X	X	X	X
$q_1$	0	1	0	0	0
	1	X	X	X	X

**Obr. 21** Karnaughovy mapy pro odvození J a K vstupů

Z mapy na Obr. 21 odvodíme funkci budicího vstupu J

$$J = \overline{x_1} \cdot x_2 \cdot \overline{q_1},$$

a budicího vstupu K

$$K = \overline{x_1} \cdot \overline{x_2}$$

Dále odvodíme logické výrazy pro výstupní funkce sekvenčního obvodu. Vývojová tabulka pro výstupní funkce (Tab. 9) vyplývá z tabulky Tab. 6.

	vnitřní stavy $Q^t$		hodnoty výstupů pro hodnoty vstupů $x_2x_1$ :							
			$x_2=0, x_1=0$		$x_2=0, x_1=1$		$x_2=1, x_1=0$		$x_2=1, x_1=1$	
	$q_2$	$q_1$	$y_2$	$y_1$	$y_2$	$y_1$	$y_2$	$y_1$	$y_2$	$y_1$
$Q_1$	0	0	0	0	0	1	1	0	0	0
$Q_2$	0	1	0	0	0	1	0	1	0	1
$Q_3$	1	1	0	0	1	0	1	0	1	0

**Tab. 9** Vývojová tabulka pro výstupní funkce

Z této tabulky odvodíme Karnaughovy mapy pro výstupní funkce  $y_1$  a  $y_2$ .

$y_1$		$x_2 \quad x_1$			
$q_2$	$q_1$	0	0	0	1
	$q_2$	X	X	X	X
	$q_1$	0	0	0	0
	$q_1$	0	1	1	1

$y_2$		$x_2 \quad x_1$			
$q_2$	$q_1$	0	1	0	0
	$q_2$	X	X	X	X
	$q_1$	0	1	1	1
	$q_1$	0	0	0	0

**Obr. 22** Karnaughovy mapy pro odvození výstupních funkcí

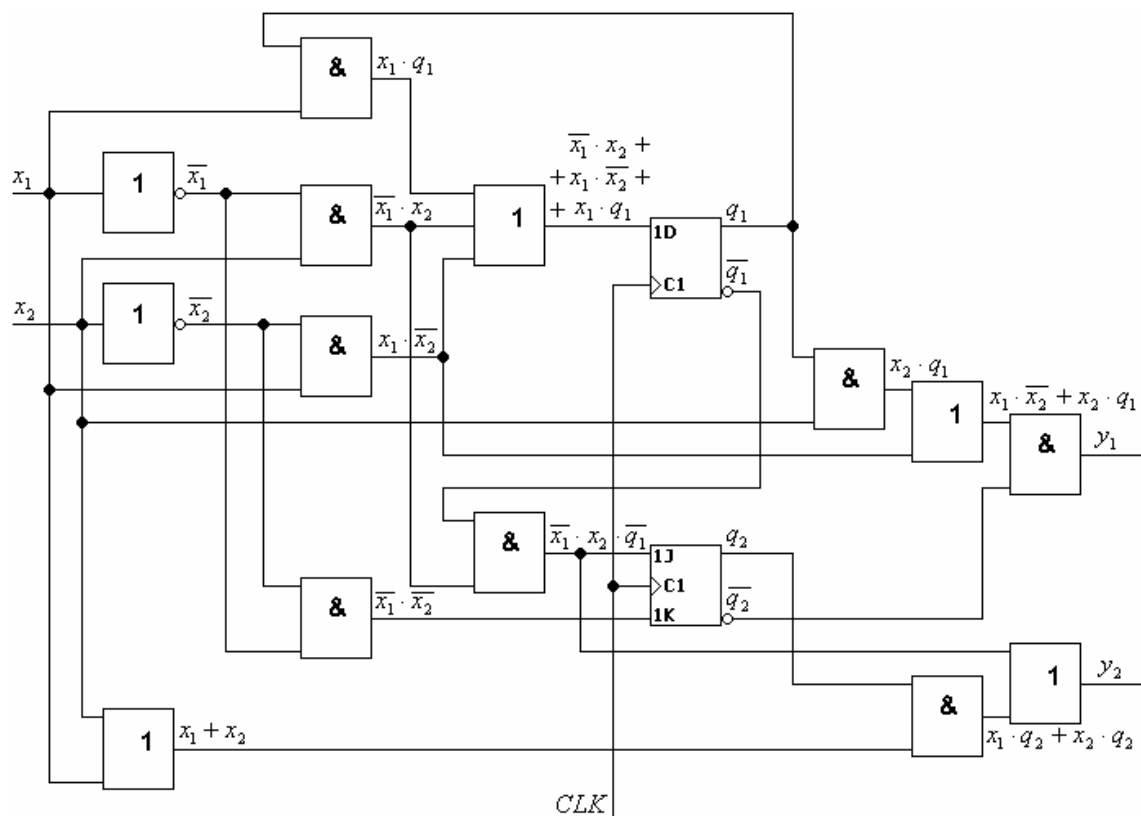
Z map na Obr. 22 odvodíme logický výraz pro výstupní funkci  $y_1$ , sekvenčního obvodu

$$y_1 = x_1 \cdot \overline{x_2} \cdot \overline{q_2} + x_2 \cdot q_1 \cdot \overline{q_2}$$

Dále z map odvodíme logický výraz pro výstupní funkci  $y_2$

$$y_2 = x_1 \cdot q_2 + x_2 \cdot q_2 + \overline{x_1} \cdot x_2 \cdot \overline{q_1}$$

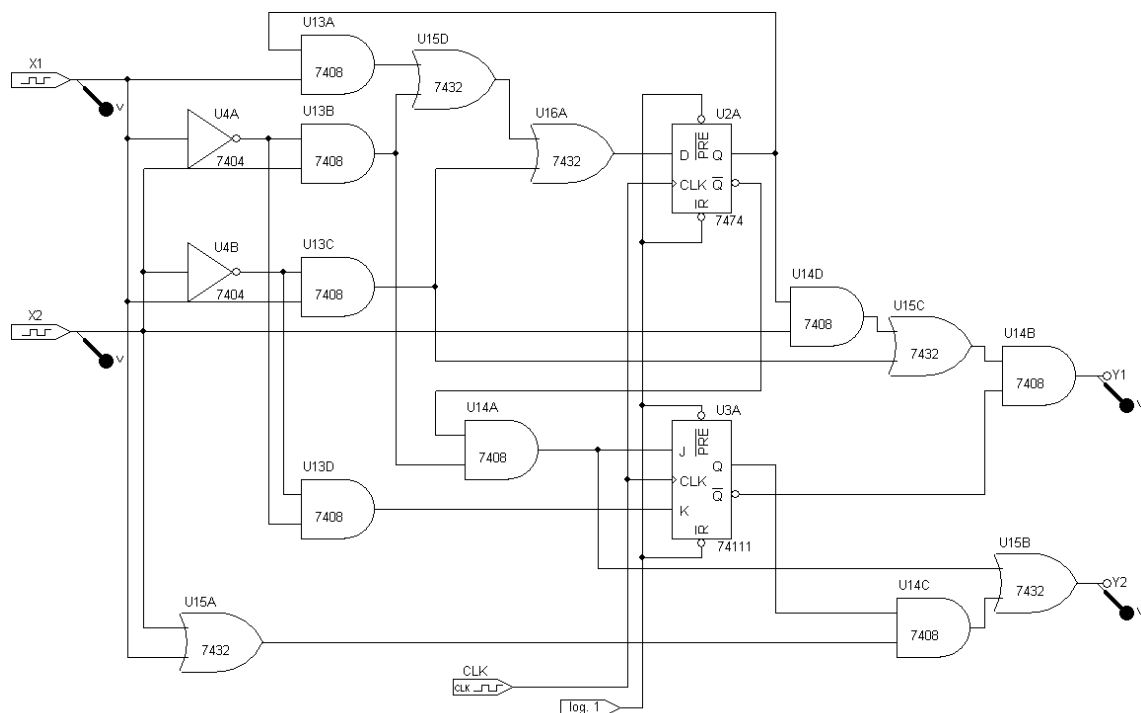
Poslední částí návrhu sekvenčního logického obvodu je návrh zapojení z odvozených logických funkcí pro budící vstupy klopných obvodů a pro výstupy. Schéma zapojení tohoto sekvenčního logického obvodu je na Obr. 23.



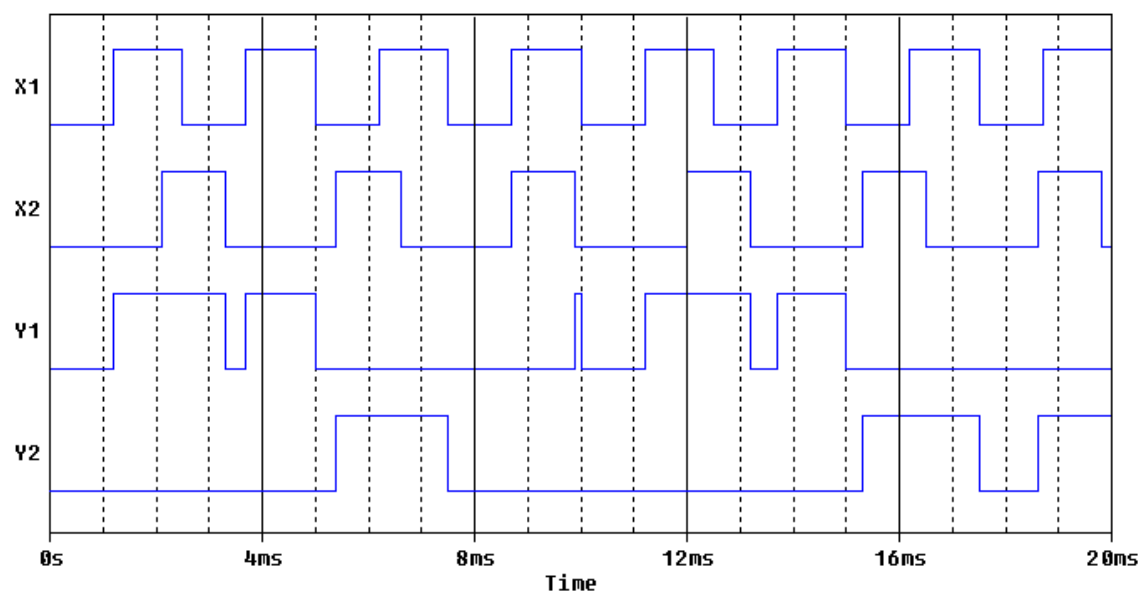
**Obr. 23** Schéma navrženého sekvenčního obvodu

Při kontrole návrhu sekvenčního logického obvodu jsem zjistil, že řešení v knize obsahuje chyby. Ve vývojové tabulce pro výstupní funkce (Tab. 9) byly pro vnitřní stav  $Q_3$  dosazeny hodnoty zakódovaných vnitřních stavů místo kombinací výstupních signálů. Další chyba byla v Karnaughově mapě pro výstupní funkci  $y_1$ . Tato mapa nebyla sestavena ani z chybné vývojové tabulky pro výstupní funkce. Poslední chyba byla v návrhu zapojení, který byl špatně navržen v části výstupní funkce  $y_1$  i  $y_2$ . Funkčnost opraveného návrhu sekvenčního obvodu jsem nejdříve ověřil v programu LogicSim a následně nasimuloval v programu OrCAD (Obr. 24, Obr. 25).

### Simulace navrženého sekvenčního obvodu



**Obr. 24** Schéma navrženého obvodu v programu OrCAD



**Obr. 25** Nasimulované vstupní a výstupní průběhy v programu OrCAD

## 2.4 Úprava signálů, MKO, AKO

Cílem této úlohy je seznámení s monostabilními klopnými obvody (MKO), astabilními klopnými obvody (AKO) a úpravami vstupních a výstupních signálů logických obvodů.

### 2.4.1 Monostabilní klopné obvody (MKO)

Monostabilní klopný obvod má na výstupu dva stavy, jeden stabilní a jeden kvazistabilní. Je to tedy zařízení, které v závislosti na vstupním spouštěčovém signálu vytváří jeden puls definované délky. Vstupním spouštěčovým signálem bývá většinou hrana vstupního pulsu, od které se doba monostabilního klopného obvodu počítá.

Podle typu hrany a délky monostabilního stavu obvodu vzhledem k délce vstupního signálu můžeme monostabilní klopné obvody rozdělit do několika skupin:

- podle aktivní hrany - MKO reagující na náběžnou nebo spádovou hranu
- podle délky monostabilního pulsu - MKO prodlužující nebo zkracující vstupní puls. [5]

Podle druhu použitého zapojení je výstupní impuls více či méně strmý, a proto je třeba zvážit, k čemu se dané zapojení hodí. Jinak je možné použít k dosažení požadované strmosti některý tvarovač (např. Schmittův klopný obvod).

Integrované monostabilní klopné obvody mají velkou výhodu, protože umožňují poměrně široké nastavení časů. Nejpoužívanější jsou obvody 74123 a časovač 555. Zapojení klopných obvodů s těmito obvody lze nalézt v katalogích.

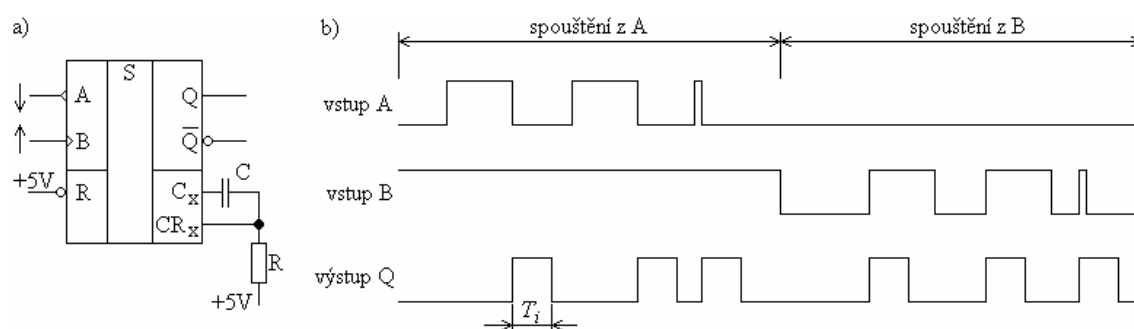
#### MKO 74123

Obvod 74123 obsahuje dva monostabilní klopné obvody, každý se dvěma vstupy A a B. Dále má možnost nulování vstupem R. Obvod 74123 s každou aktivní hranou zahajuje generaci nového monostabilního pulsu. Spouštění MKO lze provést:

- sestupnou hranou na vstupu A při  $B = H$
- náběžnou hranou na vstupu B při  $A = L$ .

K vývodům  $C_X$  a  $CR_X$  se připojuje časovací člen R a C. Před ukončením výstupního impulsu je možno dalším spouštěcím impulsem iniciovat výrobu dalšího impulsu, takže celá doba výstupního impulsu se odpovídajícím způsobem prodlouží. Doba trvání impulsu (bez prodloužení) je pro  $C > 1nF$  dána přibližným empirickým vztahem: [4]

$$T_i \approx 0,28 \cdot C \cdot (R + 700\Omega)$$



**Obr. 26** Zkracování impulsů pomocí MKO (IO 74123)  
a) Schéma zapojení, b) Časové průběhy [4]

## 2.4.2 Astabilní klopné obvody (AKO)

Astabilní klopný obvod má na výstupu dva kvazistabilní stavy, ve kterých vždy setrvává určitou dobu. AKO se používají jako generátory pravoúhlých kmitů a pulsů. Mohou to být generátory volně a tedy nepřetržitě pracující i generátory spouštěné, které zahájí výrobu kmitů či pulsu po vyžádání řídicím signálem. Generování periodického výstupního signálu je ukončeno buď ukončením řídicího signálu, nebo po uplynutí předepsané doby, nebo po vytvoření předepsaného počtu impulsů či jejich aktivních hran.

AKO můžeme realizovat pomocí MKO s uzavřenou zpětnou vazbou. Například ho můžeme realizovat pomocí dvou MKO (IO 74123), kde je kladná zpětná vazba uzavřena přes první MKO, který tak generuje krátké impulsy se šířkou odpovídající jen době průchodu hrany  $L \rightarrow H$  ze vstupu MKO na jeho výstup a s periodou přibližně  $T \approx T_{MKO}$ , kde  $T_{MKO}$  označuje nastavenou dobu kyvu obvodu. Tento typ generátoru může být zapojen podle Obr. 27. MKO 1 produkuje krátké impulsy s šířkou asi 20 ns a s periodou:

$$T \approx T_1 \approx 0,28 \cdot C_1 \cdot (R_1 + 700\Omega) \text{ pro } C_1 > 1nF$$

MKO 2 je spouštěn vzestupnými hranami impulsů z MKO 1 a tvaruje tak výstupní pravoúhlé impulsy, jejichž šířka je určena dimenzováním časovacího članku  $R_2 C_2$ .

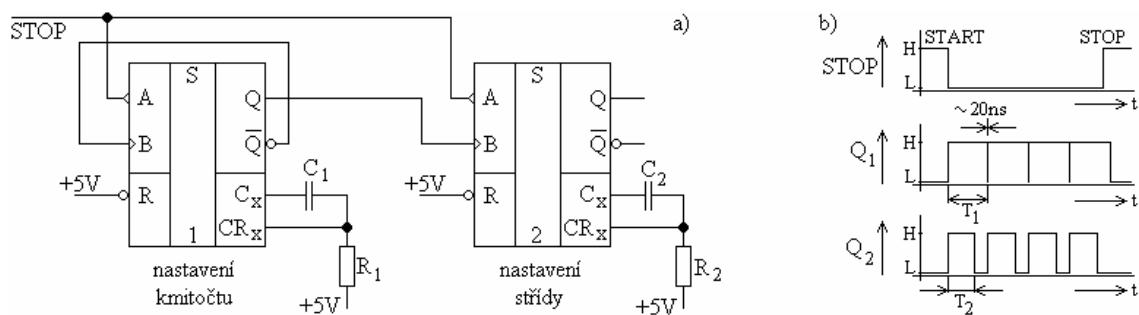
$$T_i \approx T_2 \approx 0,28 \cdot C_2 \cdot (R_2 + 700\Omega) \text{ pro } C_2 > 1nF$$

Z uvedeného principu vyplývá samozřejmá podmínka  $T_i < T$ .

Pokud je zadána střída  $\beta = T_i / (T - T_i)$  (poměr délky impulsu k délce mezery), určíme k ní potřebnou šířku impulsů ze vztahu:

$$T_i = \frac{T \cdot \beta}{1 + \beta}$$

Signál STOP umožňuje zastavit (STOP = H) nebo rozběhnout (STOP = L) proces generování kmitů. [4]



**Obr. 27** Generátor pravoúhlých kmitů (AKO) sestavený ze dvou MKO (1074123)  
a) Schéma zapojení, b) Časové průběhy [4]

### 2.4.3 Zákmity tlačítka

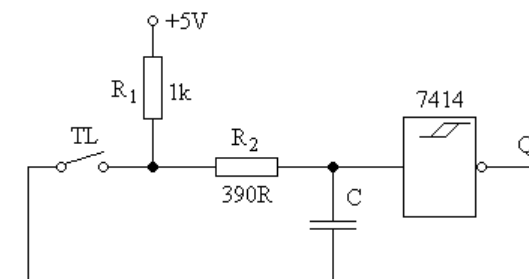
Kontakt tlačítka není nikdy zcela dokonalý a běžným problémem, se kterým se můžeme setkat, jsou zákmity. Pokud obsluha stiskne tlačítko, jsou kontakty nejdříve spojeny a poté několikrát rozpojeny a zase spojeny, než se kontakt ustálí a tlačítko je spojeno napevno.

Schéma zapojení, které odstraňuje zákmity mechanického kontaktu tlačítka, je ukázáno např. na Obr. 28. Původní tlačítko je doplněno filtrem typu dolní propust a zakončeno hradlem se vstupem vybaveným Schmittovým klopným obvodem.

Mezní kmitočet filtru dolní propusti realizovaného R a C je určen vztahem:

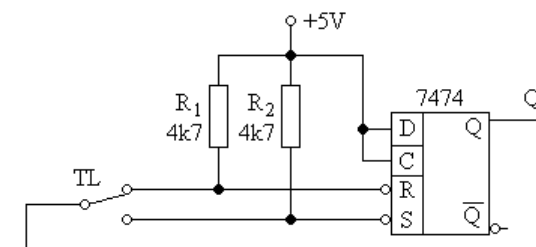
$$f_0 = \frac{1}{(R_1 + R_2) \cdot C}$$

Obvykle lze předpokládat, že obsluha není schopna stisknout tlačítko více než 10x za sekundu. Tak dostaneme kmitočet 10 Hz, mezní kmitočet filtru volíme asi 5x až 10x vyšší. Takže  $f_0 = 50$  až 100 Hz.



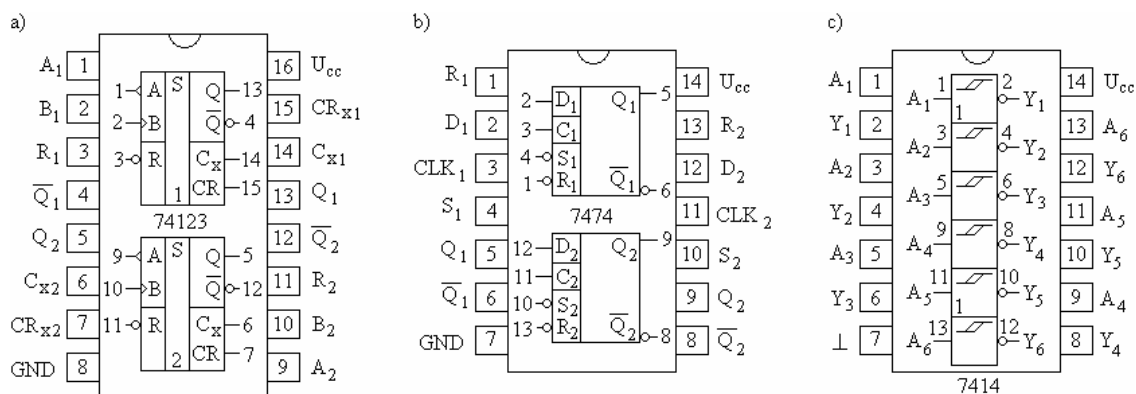
**Obr. 28** Schéma zapojení bezzákmitvého tlačítka s použitím Schmittova klopného obvodu

Další způsob odstranění záskmitů tlačítka je na Obr. 29. Funkce zapojení vychází ze skutečnosti, že klopný obvod R-S se překlápí již při prvním sepnutí kontaktů tlačítka. Ve schématu je tlačítko nakresleno v klidovém stavu. Vstup R je připojen na L a vstup S na H, výstup Q je tedy v log. 0. Po stisknutí tlačítka TL a prvním připojení vývodu S na L se výstup Q přepoklopí do log. 1. Podobně funguje tlačítko při uvolnění. [2]



**Obr. 29** Schéma zapojení bezzáskmitového tlačítka s klopným obvodem R-S

### **Zapojení vývodů IO 74123 (2x MKO), IO 7474 (2x KO D), IO 7414 (6x Schmidtův KO)**



**Obr. 30** a) Zapojení vývodů IO 74123, b) Zapojení vývodů IO 7474, c) Zapojení vývodů IO 7414



## 2.5 Osmibitový D/A převodník

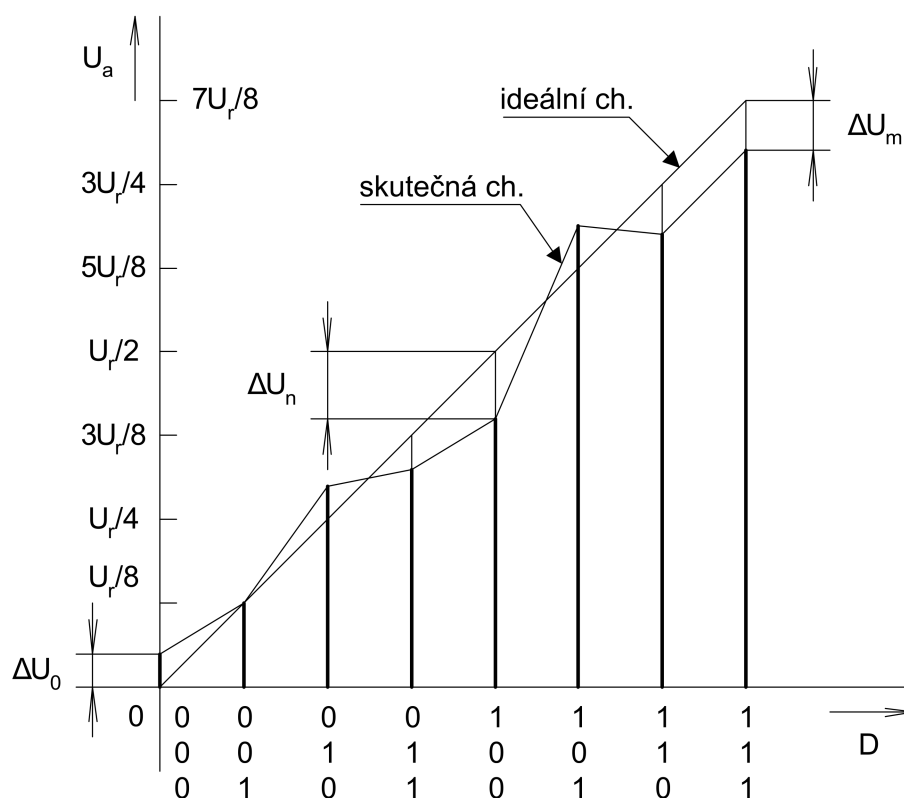
Cílem této úlohy je seznámení s digitálně analogovým převodníkem a s jeho základními vlastnostmi. Zadané obvody studenti sestaví na nepájivém poli. Při měření D/A převodníku s napěťovým výstupem mohou použít jako vstup osmibitový tlačítkový volič nebo čítač. Připojíme-li na vstup čítače generátor CLK, vytvoříme generátor pilového napětí.

### 2.5.1 Digitálně-analogový převodník

Digitálně-analogové převodníky (D/A převodníky) jsou určeny k převodu vstupní číselkové informace (datového slova) na výstupní analogový signál (proud nebo napětí). Podle toho rozdělujeme D/A převodníky na převodníky s proudovým nebo napěťovým výstupem.

### 2.5.2 Převodní charakteristika D/A převodníku

Převodní charakteristika udává závislost výstupního analogového napětí  $U_O$  na vstupním datovém slovu. Na Obr. 31 je převodní charakteristika 3-bitového D/A převodníku.



Obr. 31 Převodní charakteristika tříbitového D/A převodníku [8]

Z převodní charakteristiky můžeme určit:

#### Chybu nuly (posunu) $\varepsilon_0$

Je to velikost výstupního napětí posunutá v nulovém bodě vůči ideální převodní charakteristice, je-li na vstupu číslicové slovo 0.

$$\varepsilon_0 = \frac{\Delta U_0}{U_r} \cdot 100 \quad [\%]$$

#### Chybu měřítka (zesílení) $\varepsilon_m$

Chybou zesílení se označuje odchylka výstupního signálu od ideální velikosti, je-li na vstupu číslicové slovo 255 (pro osmibitový převodník). Chyba zesílení způsobuje pootočení převodní charakteristiky okolo nulového bodu.

$$\varepsilon_m = \frac{\Delta U_m - \Delta U_0}{U_r} \cdot 100 \quad [\%]$$

#### Integrální nelinearitu $I_{NL}$

Je to maximální odchylka výstupního napětí skutečného převodníku od ideální hodnoty v celém rozsahu převodníku.

$$I_{NL} = \frac{\max \Delta U_n}{U_r} \cdot 100 \quad [\%]$$

Tyto chyby se vyjadřují v % jmenovitého rozsahu  $U_r$  převodníku. [8]

### **2.5.3 Převodník DAC-08**

Převodník DAC-08 je monolitický číslicově-analogový násobící převodník s proudovým výstupem pracující na principu spínaných proudových zdrojů. Jeho výstupní proud závisí jednak na osmibitovém vstupním slově a pak na vstupním referenčním proudu. Tento proud může být buď konstantní, nebo jej můžeme měnit v rozmezí od 0,1 do asi 4mA. Výstupní proud  $I_{OUT}$  je pak lineární funkcí referenčního proudu  $I_{REF}$ :

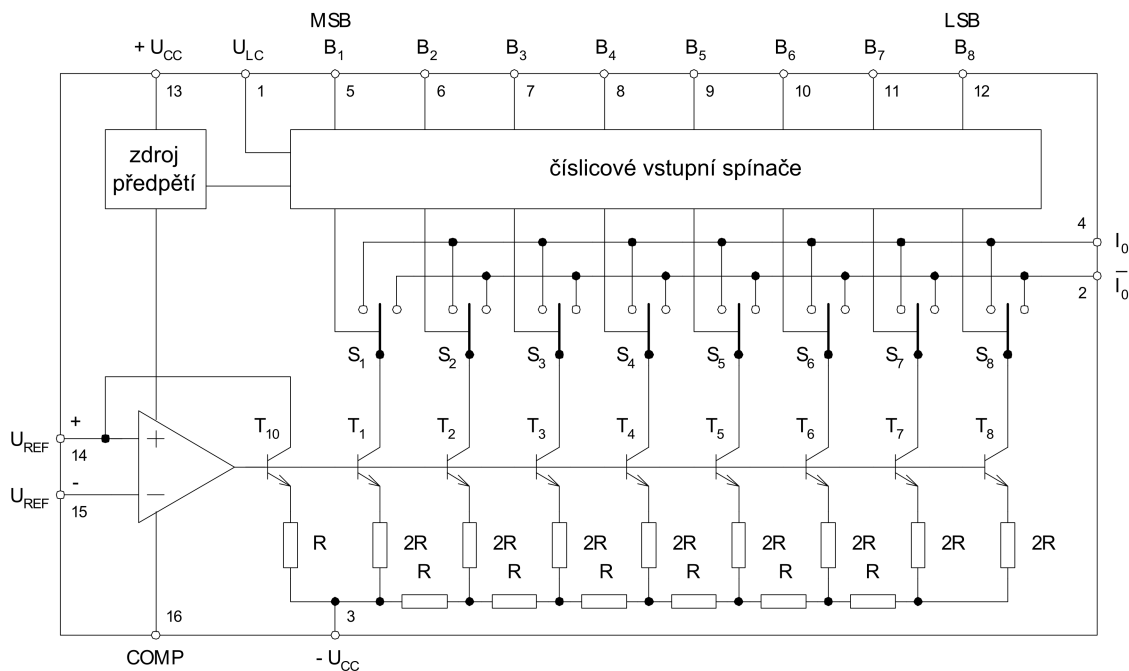
$$I_{OUT} = I_{REF} \cdot \left( \frac{B7}{2} + \frac{B6}{4} + \frac{B5}{8} + \frac{B4}{16} + \frac{B3}{32} + \frac{B2}{64} + \frac{B1}{128} + \frac{B0}{256} \right)$$

Kde  $B/V = 1$  pro 1 ve výstupním slově a  $B/V = 0$  pro 0 ve výstupním slově. Blokové schéma vnitřního zapojení převodníku je na Obr. 32. Obvod obsahuje 8 bipolárních proudových prepínačů, síť přesných rezistorů, rychlý řídicí zesilovač a obvody řízení prepínačů s detektory logických úrovní.

Referenční proud, odpovídající maximálnímu výstupnímu proudu, je přiveden na vývod 14, což je vstup referenčního zesilovače. Tranzistory T1 až T8 slouží jako zdroje proudů v síti R-2R. Proudů tranzistorů a rezistorovou síť jsou vzájemně rozděleny v poměru váhových odporů a jejich součet odpovídá podle předchozího vztahu  $(255/256) \cdot I_{REF}$ .

Jednotlivé proudy tranzistorů T1 až T8 jsou přepínány mezi  $I_{OUT}$  a  $\overline{I_{OUT}}$  přepínači proudu S1 až S8. Tyto přepínače jsou řízeny logickými signály na vstupech 5 až 12. Jsou-li na těchto vstupech úrovně L, neteče do výstupu  $I_{OUT}$  žádný proud a do výstupu  $\overline{I_{OUT}}$  teče plný proud, pro vstupy s úrovněmi H, je situace opačná. Výstupní proudy  $I_{OUT}$  a  $\overline{I_{OUT}}$  z vysokoimpedančních výstupů se mohou využívat přímo nebo pomocí vnějších odporů, popřípadě pomocí OZ, se mohou převést na napětí.

Vstupní referenční proud lze získat ze zdroje napětí. Rezistor  $R_{REF} = R_3$  (na Obr. 33) o odporu 5 kΩ platí pro  $I_{REF} = 2$  mA a napětí  $U_{REF} = 10$  V. Toto referenční napětí se nastaví trimrem  $R_1$ . [7]



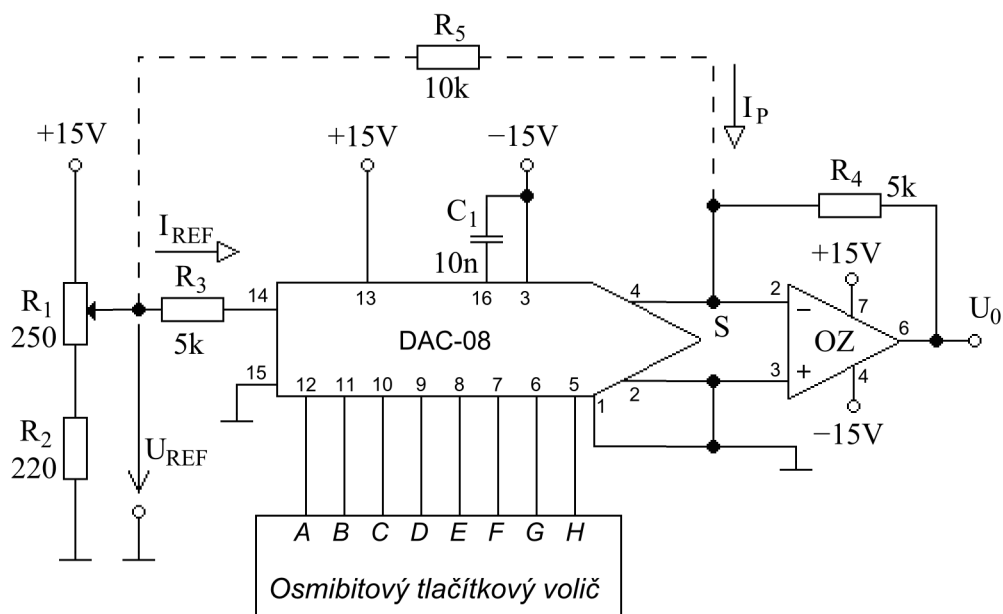
**Obr. 32** Schéma vnitřního zapojení převodníku DAC-08 [8]

### 2.5.4 Zapojení D/A převodníku s napětovým výstupem

Na Obr. 33 je schéma zapojení D/A převodníku s IO DAC-08. Vstupní referenční proud  $I_{REF}$  je získán ze zdroje napětí +15 V. Rezistor  $R_{REF} = R_3$  o odporu 5 k $\Omega$  platí pro  $I_{REF} = 2$  mA a napětí  $U_{REF} = 10$  V. Toto referenční napětí se nastaví trimrem  $R_1$ . Na výstup převodníku DAC-08 je připojen OZ pracující ve funkci převodníku proudu na napětí pro realizaci napětového výstupu převodníku. Zpětnovazební rezistor zesilovače  $R_4 = 5$  k $\Omega$  určuje rozsah výstupního napětí 0 až 10 V (unipolární režim).

Pro výstupní napětí v unipolárním režimu platí vztah:

$$U_0 = \frac{d}{256} \cdot U_{REF} \quad [\text{V}],$$



**Obr. 33** Schéma zapojení D/A převodníku

Je-li připojen rezistor  $R_5$ , pak do sčítacího bodu S je přiveden proud  $I_p = I_r/2$ , tj. 1 mA ( $I_p = 10 \text{ V}/10 \text{ k}\Omega$ ) opačného směru než  $I_{OUT}$ , který způsobí trvalý posun výstupní napětí o - 5 V, takže rozsah převodníku bude  $\pm 5$  V (bipolární režim) a hodnota výstupního napětí je určena dvojkovým kódem s posunutím (MSB určuje polaritu výstupního napětí). [8]

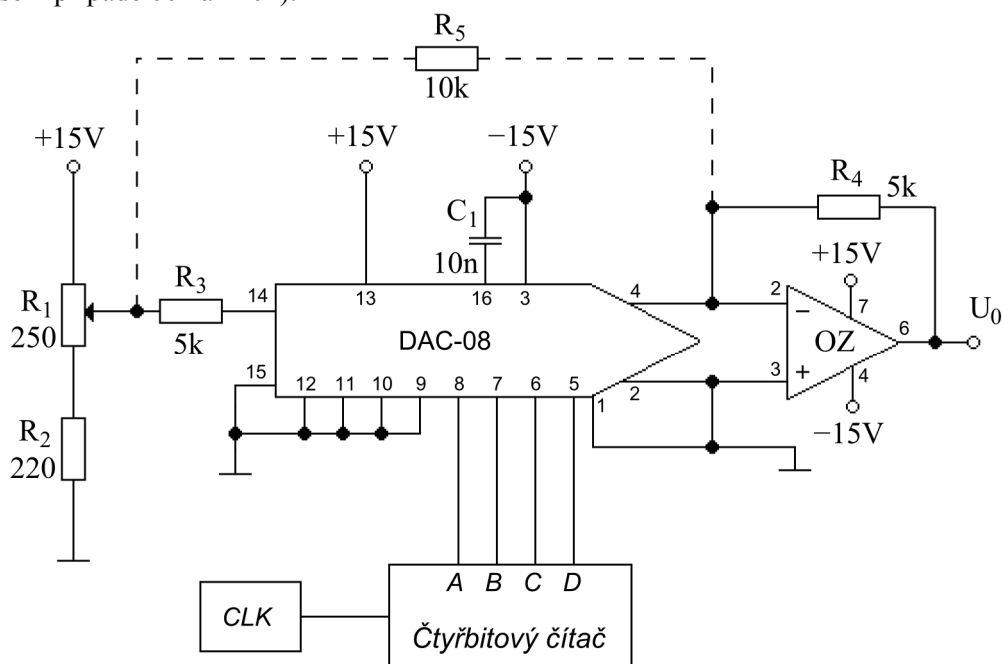
Pro výstupní napětí v bipolárním režimu platí vztah:

$$U_0 = -5 + \frac{d}{256} \cdot U_{REF} \quad [\text{V}],$$

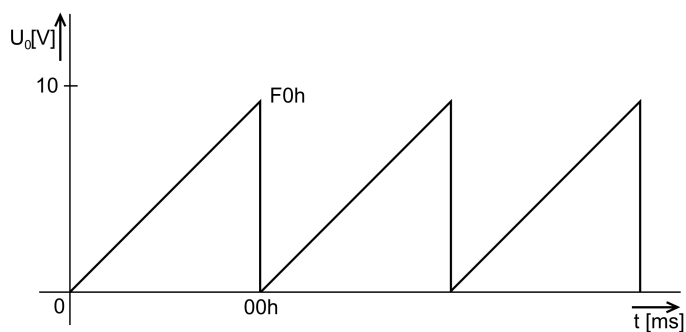
kde  $d$  je číslo na číslicovém vstupu vyjádřené v dekadickém tvaru.

### 2.5.5 Generátor pilového napětí s využitím D/A převodníku

Jednou z aplikací D/A převodníku je generování různých průběhů výstupního napětí. D/A převodník tedy můžeme použít například jako generátor pilového napětí, jehož schéma je na Obr. 34. Na datové vstupy připojíme čítač (v našem případě čtyřbitový, tedy zbývající vstupy můžeme např. uzemnit), který cyklicky zvyšuje hodnotu vstupního slova v rozmezí 00h až FFh (v našem případě 00h až F0h).



**Obr. 34** Generátor pilového napětí s využitím D/A převodníku



**Obr. 35** Průběh výstupního napětí generátoru

### 3. Laboratorní stanoviště

Na základě laboratorních úloh popsanych v předchozí kapitole jsem vybral přípravky potřebné pro realizaci laboratorního stanoviště.

Jednotlivé úlohy se zapojují na nepájivém poli a vyžadují různé doplňující obvody, např. osmibitový tlačítkový volič, displej s BCD dekodérem, čtyřbitový obousměrný binární čítač. Všechny také potřebují napájecí zdroj a I/O svorky pro měřicí přístroje, generátor, osciloskop, atd. Pro zjednodušení měření byly všechny tyto bloky umístěny na jeden plošný spoj. Návrh tohoto stanoviště jsem prováděl v programu Eagle.

#### Eagle

Eagle je produkt firmy CadSoft, která má sídlo v Německu a pobočku v USA. Editor plošných spojů EAGLE je uživatelsky přívětivý a výkonný nástroj pro tvorbu schémat a návrh desek plošných spojů (DPS, PCB). Název EAGLE je zkratka, pocházející z původního názvu: **Easily Applicable Graphical Layout Editor**. Program se skládá ze tří hlavních modulů (Editor spojů, Editor schémat, Autorouter), které jsou ovládány z jednoho uživatelského prostředí. Proto není třeba konvertovat netlisty mezi schémata a deskami. [9]

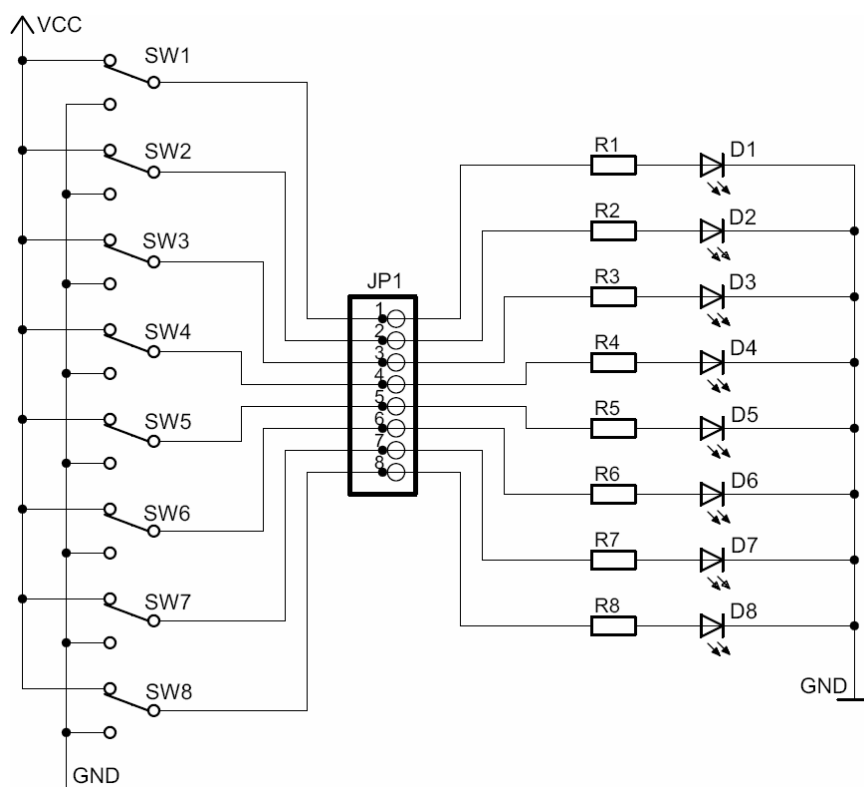
Laboratorní stanoviště se tedy skládá z těchto bloků:

- napájecí zdroj
- osmibitový tlačítkový volič
- displej s BCD dekodérem
- čtyřbitový obousměrný binární čítač
- I/O svorky pro měřicí přístroje, generátor, atd.
- nepájivé pole
- kontakty pro osciloskop
- trimr 500R
- přepínací tlačítko



## 3.2 Osmibitový tlačítkový volič

Schéma zapojení je na *Obr. 38* a v *Tab. 11* je seznam součástek. Tlačítkový volič je tvořen pro každý bit přepínacím tlačítkem a LED diodou s předřadným rezistorem. Při vypnutém tlačítku je na příslušném pinu patice JP1 (1-8, které jsou na přípravku označeny A-H) log. 1, a svítí příslušná LED dioda. Sepneme-li tlačítko, bude na příslušném pinu patice JP1 (1-8) log. 0, a LED dioda zhasne.



**Obr. 38** Schéma zapojení 8-bitového tlačítkového voliče

Seznam součástek 8-bitového tlačítkového voliče:

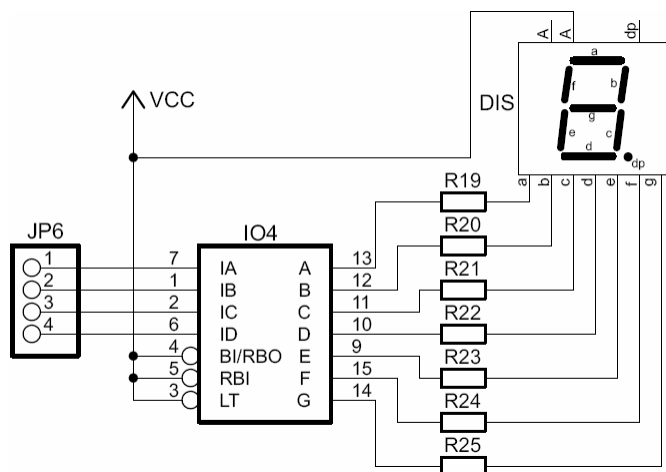
Označení ve schématu	Typ	Popis
SW1 – SW8	P-B170G	Tlačítko s aretací
JP1	8pin	Lámací patice
R1 – R8	470Ω	
D1 – D8	LED 5mm	Zelená

**Tab. 11** Seznam součástek 8-bitového tlačítkového voliče



### 3.3 Displej s BCD dekodérem

Schéma zapojení je na *Obr. 39* a v *Tab. 12* je seznam součástek. Jako převodník z BCD na 7-segment je použit dekodér 74LS47. Displej je použit se společnou anodou. Na piny 1-4 (které jsou na přípravku označeny DCBA) se přivádí 4-bitové binární číslo. Na pin 1 (A) se přivádí nejnižší bit. Toto číslo se v dekodéru převede a zobrazí na displeji v dekadické podobě.



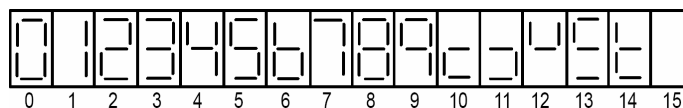
**Obr. 39** Schéma zapojení 7-segmentového displeje s BCD dekodérem

Seznam součástek displeje s BCD dekodérem:

Označení ve schématu	Typ	Popis
IO4	74LS47N	Dekodér BCD/7segm.
DIS	HDSP-5501	Displej CA
R19 – R25	330Ω	
JP6	4pin	Lámací patice

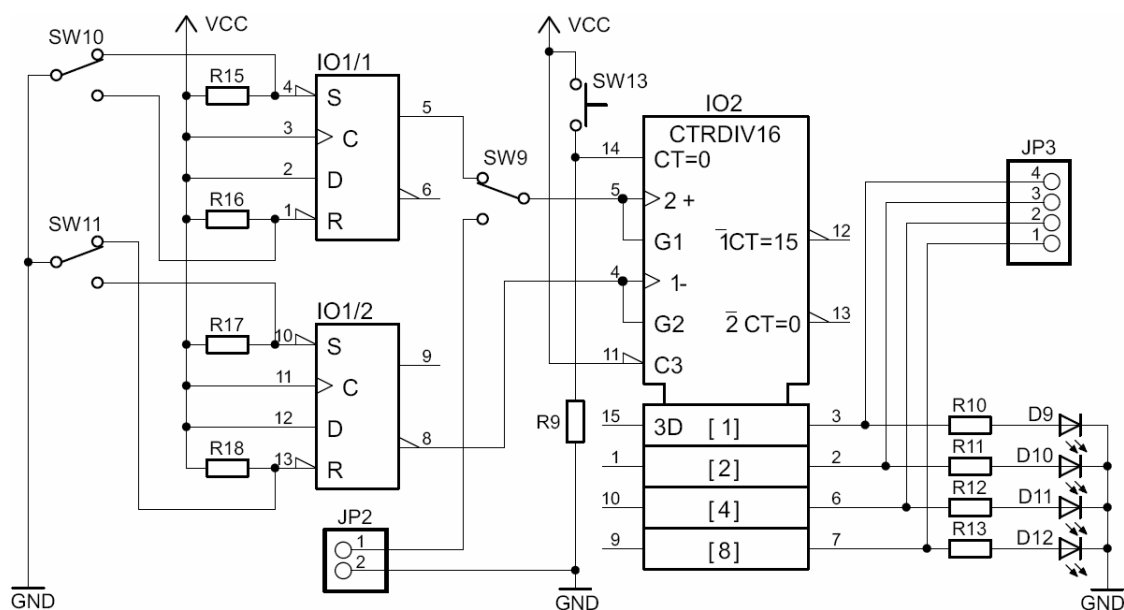
**Tab. 12** Seznam součástek displeje s BCD dekodérem

Na *Obr. 40* jsou jednotlivé znaky, které mohou být zobrazeny na displeji přivedením binárního čísla (toto binární číslo je na obrázku pod jednotlivými znaky napsáno dekadicky).



**Obr. 40** Zobrazované znaky na displeji

### 3.4 Čtyřbitový obousměrný binární čítač



**Obr. 41** Schéma zapojení 4-bitového čítače

Na Obr. 41 je schéma zapojení čtyřbitového obousměrného binárního čítače a v Tab. 13 je seznam součástek. Jako čítač je použit integrovaný obvod SN74193, což je 4-bitový obousměrný binární čítač. Tento čítač je možno využít jako čítač modulo  $n$  nastavením počátečního stavu cyklu čítání. Synchronní operace je zajištěna současným spouštěním klopných obvodů, takže výstupy mění stav najednou podle instrukcí řídicí logiky. Synchronní činnost vylučuje špičky na výstupech čítače, které běžně vznikají u asynchronních čítačů. Směr čítání je určen vstupem, na který jsou přiváděny čítané impulsy. Druhý vstup čítání přitom musí být připojen na log. 1. Přivedením úrovně log. 1 na vstup nulování se všechny výstupy vynulují nezávisle na čítacích impulsích a stavu na vstupech pro nastavení.

Čítání čítače nahoru je ovládáno tlačítkem SW10 (které je na přípravku označeno UP), čítání dolů tlačítkem SW11 (DOWN). Tlačítko SW13 (RESET) nastaví čítač na nulu. Pomocí tlačítka SW9 (BUTTONS/CLK) můžeme přepnout ovládání čítání z tlačítek na hodinový signál CLK, který připojíme na patici JP2 (CLK). V tomto případě čítač čítá pouze nahoru. Výstup signálu je na patici JP3 (DCBA, kde A je nejnižší bit). Výstupní binární číslo je zobrazeno pomocí LED.

Tlačítka SW10 a SW11 jsou opatřena proti zákmitům, jelikož by případné zákmity mohly být vyhodnoceny jako samostatné impulsy. Bezzákmitová tlačítka jsou sestavena z přepínacích tlačítek a klopného obvodu D (74LS74), který je zde použit jen jako klopný obvod R-S. Klopný obvod R-S reaguje již na první sepnutí kontaktů tlačítka. Princip např. u tlačítka SW10 je následující: tlačítko v klidové poloze připojuje vstup  $\bar{S}$  na log. 0, a vstup  $\bar{R}$

je připojen přes R16 na log. 1. Na výstupu  $Q$  je tedy log. 1. Stiskneme-li tlačítko, klopný obvod reaguje na první připojení vstupu  $\bar{R}$  na log. 0 a překlopí výstup  $Q$  do log. 0. Po uvolnění tlačítka se obvod překlopí podobně zpět. Log. 1 na výstupu bezzákmitových tlačítek je záměrně, jelikož neaktivní vstup čítače musí být připojen na log. 1.

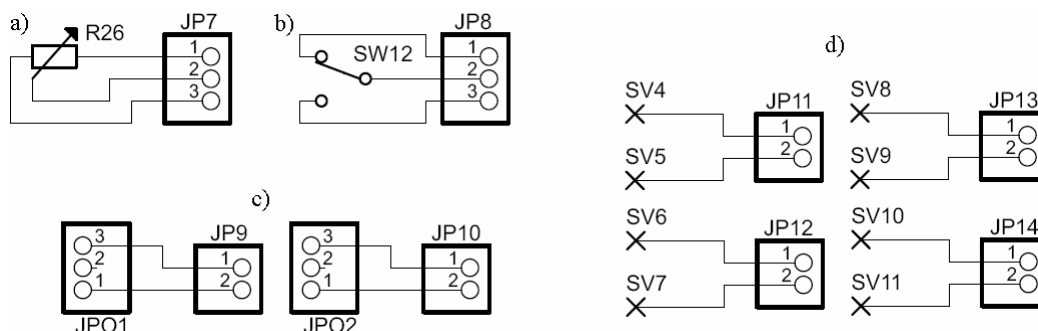
Seznam součástek 4-bitového obousměrného čítače:

Označení ve schématu	Typ	Popis
IO1	74LS74	2x klopný obvod D
IO2	74LS193	4-bitový binární čítač
SW10, SW11	P-B170H	Tlačítko bez aretace
SW9	P-B170G	Tlačítko s aretací
SW13	P-B1720A	Mikrotlačítko
R15 – R18	4k7	
R9 – R13	470Ω	
D9 – D12	LED 5mm	Žlutá
JP2	2pin	Lámací patice
JP3	4pin	Lámací patice

**Tab. 13** Seznam součástek 4-bitového obousměrného čítače

### 3.5 I/O Svorky, trimr a tlačítko

Na laboratorním přípravku jsou dále: trimr 500Ω (Obr. 42a), přepínací tlačítko (Obr. 42b), kontakty pro osciloskop (Obr. 42c), I/O svorky pro měřicí přístroje, generátor, atd. (Obr. 42d), které mohou být pomocí vodičů a příslušné patice jednoduše připojeny k nepájivému poli.



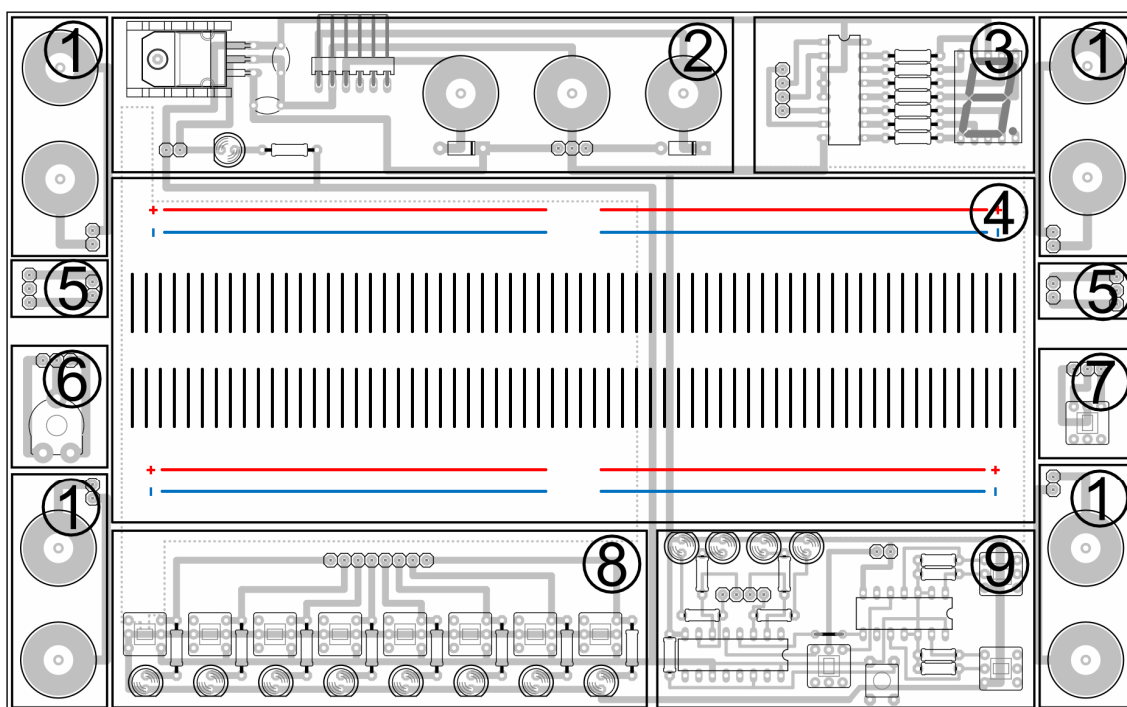
**Obr. 42** Schéma zapojení trimru, tlačítka a I/O svorek

Seznam součástek pro I/O svorky, trimr a tlačítko:

Označení ve schématu	Typ	Popis
R26	500Ω	Trimr
SW12	P-B170H	Tlačítko bez aretace
JP7, JP8	3pin	Lámací patice
JP9 – JP14	2pin	Lámací patice
JPO1, JPO2	2pin	Lámací patice oboustranná
SV4 – SV11		Svorka na banánek

*Tab. 14 Seznam součástek napájecího zdroje*

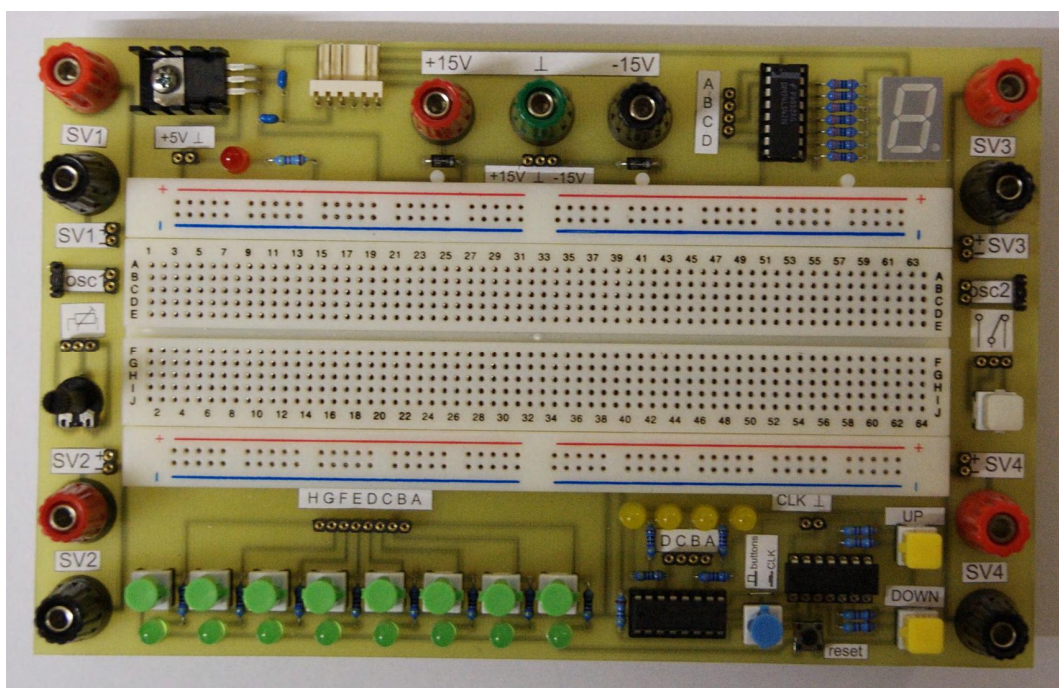
### 3.6 Rozmístění bloků na laboratorním stanovišti



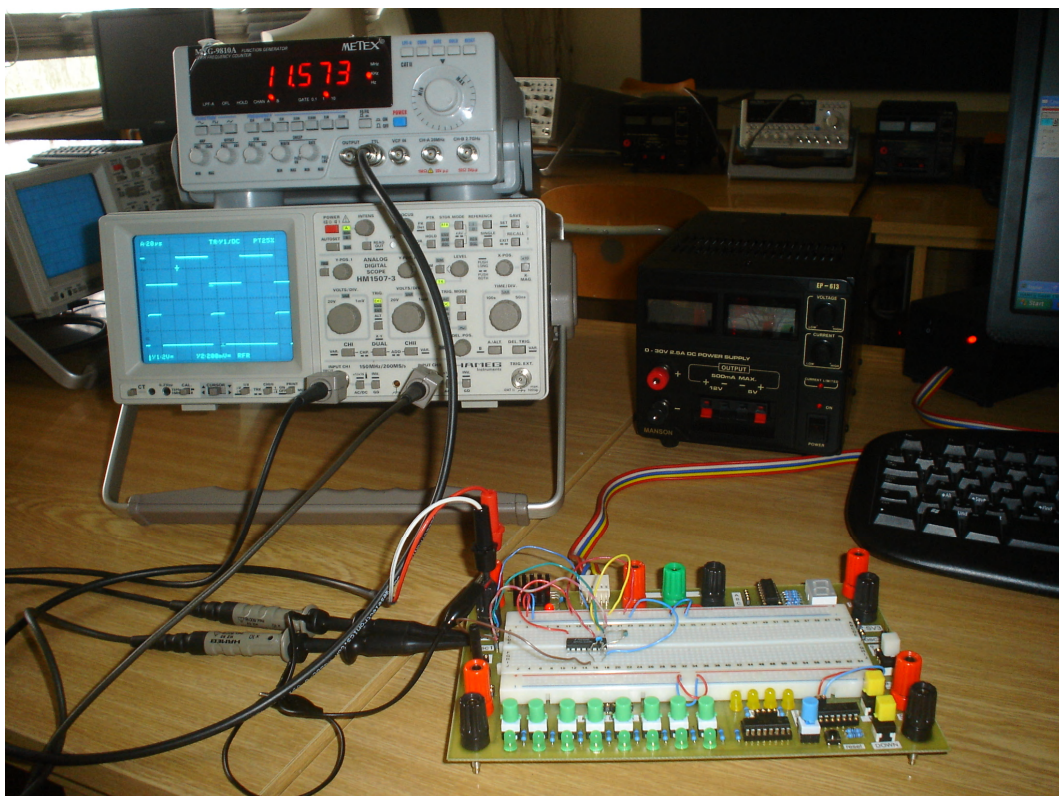
*Obr. 43 Rozmístění bloků na laboratorním stanovišti*

#### LEGENDA k Obr. 43:

1) svorky pro měřicí přístroje, generátor, atd., 2) napájecí zdroj, 3) displej s BCD dekodérem, 4) nepájitvé pole včetně označení propojení kontaktů 5) kontakty pro osciloskop, 6) trimr 500R, 7) tlačítko, 8) 8-bitový tlačítkový volič, 9) 4-bitový obousměrný čítač



*Obr. 44 Laboratorní stanoviště*



*Obr. 45 Laboratorní stanoviště při měření 4. úlohy*

## 4. Závěr

Cílem této práce bylo provést výběr a popis vhodných laboratorních úloh a potřebných přípravků pro praktická cvičení ve výuce číslicové a mikroprocesorové techniky, navrhnout a realizovat laboratorní stanoviště pro oblast laboratorních úloh předmětu Číslicová a mikroprocesorová technika Bc. a dále ověřit funkci úloh na realizovaném stanovišti a vytvořit průvodní dokumentaci.

Podle požadavku vedoucího práce bylo toto stanoviště vytvořeno v termínu, který umožnil jeho využití ve cvičeních již v letním semestru tohoto roku. Proto jsem celou práci začal právě návrhem a realizací laboratorního stanoviště. Bylo vytvořeno celkem deset kusů stanovišť, jejichž funkčnost byla ověřena během cvičení.

Po realizaci stanoviště bylo nutno vybrat a popsat laboratorní úlohy. Při jejich výběru jsem vycházel z osnovy předmětu Číslicová a mikroprocesorová technika Bc. a z úloh, které se měřily v předešlém ročníku. Sestavil jsem celkem pět úloh umožňujících studentům prohloubit znalosti získané na přednáškách.

Součástí práce bylo i praktické ověření navržených úloh na vytvořeném laboratorním stanovišti a vytvoření průvodní dokumentace. Výsledky měření k úlohám č. 1, 4 a 5 jsou zpracovány formou protokolů, které jsou v přílohách. U úloh č. 2 a 3 stačilo pouze ověřit funkci. Průvodní dokumentace k laboratorním úlohám je také součástí příloh.

Přínos této práce spočívá v dosažení vyšší efektivity práce v laboratorních cvičeních předmětu Číslicová a mikroprocesorová technika Bc. Studenti mají k dispozici podrobný návod k laboratorním úlohám a laboratorní stanoviště, které obsahuje všechny potřebné přípravky pro bezchybné změření jednotlivých laboratorních úloh.

## 5. Použitá literatura

- [1] ANTOŠOVÁ, Marcela; DAVÍDEK, Vratislav. *Číslicová technika*. 1. vyd. České Budějovice: KOPP, 2003. 286 s. ISBN 80-7232-206-0.
- [2] MATOUŠEK, David. *Číslicová technika - základy konstruktérské praxe*. 1. vyd. Praha: BEN - technická literatura, 2001. 208 s. ISBN 80-7300-025-3.
- [3] DIVIŠ, Zdeněk; CHMELÍKOVÁ, Zdeňka; ZDRÁLEK, Jaroslav. *Logické obvody*. 2. vyd. Ostrava: Ediční středisko VŠB-TU Ostrava, 2008. 154 s. ISBN 978-80-248-1724-8.
- [4] VRBA, Radimír, et al. *Digitální obvody a mikroprocesory* [online]. Brno : VUT, 2009 [cit. 2010-02-06]. Dostupné z WWW: <<http://home.tiscali.cz/ftpSPACE/mikroprocesory.pdf>>.
- [5] BAYER, Jiří; HANZÁLEK, Zdeněk; ŠUSTA, Richard. *Logické systémy pro řízení* [online]. Praha : ČVUT, 1999 [cit. 2010-02-23]. Dostupné z WWW: <<http://dce.felk.cvut.cz/lor/prednasky/skripta/>>. ISBN 80-01-02147-5.
- [6] FIALA, Jindra. *IABC.cz* [online]. 19. září 2003 [cit. 2010-03-10]. Číslicová technika - XXII. Dostupné z WWW: <<http://www.iabc.cz/clanek/serialy/4719/cislicova-technika-xxii.html>>.
- [7] MUŽÍK, Vojtěch. Převodníky D/A a A/D pro školní mikropočítače. *Amatérské rádio řada A*. 1983, XXXII(LXI), č. 9, s. 332-336.
- [8] *Elektronika* [online]. 2008 [cit. 2010-01-15]. Měření na D/A a A/D převodnících. Dostupné z WWW: <[http://jk.frozen-doe.net/ostatni/skola/spse\\_v\\_uzlabine/EM4-13-zadani.pdf](http://jk.frozen-doe.net/ostatni/skola/spse_v_uzlabine/EM4-13-zadani.pdf)>.
- [9] *Eagle Software : Plošné spoje snadno a rychle* [online]. c2001, Poslední změna: 22.9.2002 [cit. 2010-04-01]. Informace o produktu EAGLE. Dostupné z WWW: <<http://www.eagle.cz/info.htm>>.
- [10] Číslicový systém In *Wikipedia: the free encyclopedia* [online]. St. Petersburg (Florida): Wikipedia Foundation, 10. 6. 2005, 7. 3. 2010 [cit. 2010-05-01]. Dostupné z WWW: <[http://cs.wikipedia.org/wiki/%C4%8C%C3%ADslícov%C3%BD\\_syst%C3%A9m](http://cs.wikipedia.org/wiki/%C4%8C%C3%ADslícov%C3%BD_syst%C3%A9m)>.
- [11] TIŠNOVSKÝ, Pavel. *Root.cz* [online]. 6. 3. 2008 [cit. 2010-04-20]. V počítači jsou jen jedničky a nuly. Dostupné z WWW: <<http://www.root.cz/clanky/v-pocitaci-jsou-jen-jednicka-a-nuly/>>.
- [12] *Číslicová technika* [online]. 2009 [cit. 2010-03-20]. Logické členy. Dostupné z WWW: <<http://www.cislicovatechnika.wz.cz/logickecleny.html>>.

## 6. Seznam příloh

Příloha I	Soubor laboratorních úloh
Příloha II	Vypracované protokoly
Příloha III	Schémata jednotlivých bloků laboratorního stanoviště
Příloha IV	DPS laboratorního stanoviště
Příloha V	Seznam součástí laboratorního stanoviště, Popisky na DPS